



UNIVERSIDAD CARLOS III DE MADRID
ESCUELA POLITÉCNICA SUPERIOR
DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA

TESIS DOCTORAL

**CONTRIBUCIÓN AL MODELADO Y DISEÑO DE
MODULADORES SIGMA-DELTA EN TIEMPO
CONTINUO DE BAJA RELACIÓN DE
SOBREMUESTREO Y BAJO CONSUMO DE
POTENCIA**

AUTORA: SUSANA PATÓN ÁLVAREZ
DIRECTOR: Dr. LUIS HERNÁNDEZ CORPORALES
LEGANÉS, 2004

TESIS DOCTORAL

CONTRIBUCIÓN AL MODELADO Y DISEÑO DE MODULADORES SIGMA-DELTA
EN TIEMPO CONTINUO DE BAJA RELACIÓN DE SOBREMUESTREO Y BAJO
CONSUMO DE POTENCIA

AUTORA: Susana Patón Álvarez

DIRECTOR: Luis Hernández Corporales

TRIBUNAL CALIFICADOR:

PRESIDENTE: D.

VOCALES: D.

D.

D.

VOCAL SECRETARIO: D.

CALIFICACIÓN:

Leganés, a de de 2004

Agradecimientos / Acknowledgments

Este trabajo supone la culminación de varios años de esfuerzo y dedicación. Durante ese tiempo he aprendido muchas cosas, tanto en lo profesional como en lo personal, y ante todo, lo considero como una experiencia sumamente enriquecedora, aunque muchas veces resulte algo estresante.

Me gustaría empezar dando las gracias a Emilio Olías por confiar desde el principio en mi capacidad y haberme dado la oportunidad de trabajar en muy diversos temas, todos ellos interesantes.

Quiero agradecer especialmente el trabajo y la dedicación que me ha brindado mi director, Luis Hernández, y sobre todo la oportunidad que me ha brindado de poder investigar en un tema puntero y de colaborar con una gran empresa. Durante todo este tiempo ha sido más que paciente con todo el desarrollo de mi trabajo.

Many special thanks to Andreas Wiesbauer for pushing my mind and letting me discover myself as a researcher.

To Antonio Di Giandomenico for his fruitful collaboration on many issues during this work. Thank you also for helping me in editing this document, and for letting me to publish some of your figures.

To all the italian and austrian friends that made easier my last summers, specially to Genesisia and Alberto, thanks for your support.

Gracias también al Departamento de Tecnología Electrónica. No puedo nombrar a todos los que me habéis apoyado, querido y confiado durante todo este tiempo, independientemente de ser de un grupo o de otro, de ser doctores o no, gracias a todos, especialmente a Mario por aguantarme todas las tardes, a Celia por aguantarme todas las mañanas y compartir tantos momentos, a Pablo por ayudarme en

los momentos difíciles y a todo el grupo de Microelectrónica por haberme tratado siempre como una reina.

Quiero dedicar también unas líneas a todos los que empezamos juntos este pedregoso camino. De todos los compañeros de carrera, lo suficientemente locos como para quedarse en electrónica, ya sólo quedamos dos. Mil gracias a una de las mejores amigas que he tenido nunca, Marta Ruiz Llata. Siempre juntas, ¿eh? Ánimo que no nos queda nada. Y gracias también a todos los que me habéis apoyado desde el mundo privado, a todo el grupo que formamos: José, Marta, Antonio, Susana, Carolina, César, Gema, Santi, Toni, Sara, Raúl, David, Gerardo, Juanjo,... ¡sois muchos! Pero sois geniales.

Por último quiero agradecer a toda mi familia, que me ha apoyado tanto, gracias mamá y papá. A Marta y Raquel por hacérmelo pasar tan bien este tiempo, os echo de menos y os quiero mucho. Especialmente, también dedico el documento a mis abuelos. Estoy segura de que les hubiera emocionado saber que estudié tanto.

Y a Manuel, por haber tenido una paciencia infinita y haber sacrificado tantos y tantos fines de semana por mí. No hubiera llegado hasta aquí sin ti.

Resumen

Los moduladores Sigma-Delta de tiempo continuo constituyen una técnica de conversión de señal analógica a señal digital interesante para aplicaciones de alta velocidad. Comparado con otras alternativas, son especialmente insensibles a las imperfecciones del circuito y a las tolerancias de los componentes, aunque tradicionalmente se han diseñado para aplicaciones de baja-media velocidad.

Esta tesis aporta contribuciones al análisis y modelado de moduladores Sigma-Delta en tiempo continuo y de alta velocidad. Se han analizado y modelado, entre otros, los dos efectos que limitan su resolución y estabilidad, a saber, el retardo de bucle en exceso y la sensibilidad del sistema a la incertidumbre del instante de muestreo.

Los resultados del análisis así como los modelos obtenidos se han usado para proponer una metodología de diseño, novedosa y estructurada, que es válida para moduladores Sigma-delta en tiempo continuo de alta velocidad o baja relación de sobremuestreo. Para facilitar la evaluación de esta metodología se ha desarrollado una herramienta software que implementa las fases centrales de diseño.

Finalmente, se ha validado la metodología de diseño propuesta mediante la fabricación y medida de un circuito integrado CMOS de 0.13 micras que implementa un modulador Sigma-Delta en tiempo continuo de 30 Megabits por segundo y 11 bits de rango dinámico.

Abstract

Continuous-Time Sigma-Delta modulators are often employed as analog-to-digital converters. These modulators are an attractive approach to implement high-speed converters in VLSI systems because they have low sensitivity to circuit imperfections compared to other solutions.

This work is a contribution to the analysis, modelling and design of high-speed Continuous-Time Sigma-Delta modulators. The resolution and the stability of these modulators are limited by two main factors, excess-loop delay and sampling uncertainty. Both factors, among others, have been carefully analysed and modelled.

A new design methodology is also proposed. It can be used to get an optimum high-speed Continuous-Time Sigma-Delta modulator in terms of dynamic range, stability and sensitivity to sampling uncertainty. Based on the proposed design methodology, a software tool that covers the main steps has been developed.

The methodology has been proved by using the tool in designing a 30 Megabits-per-second Continuous-Time Sigma-Delta modulator with 11-bits of dynamic range. The modulator has been integrated in a 0.13- μm CMOS technology and it has a measured peak SNR of 62.5dB.

Índice

ÍNDICE DE TABLAS	5
ÍNDICE DE FIGURAS	7
GLOSARIO DE TÉRMINOS Y LISTA DE ACRÓNIMOS.....	13
1 INTRODUCCIÓN.....	17
1.1 MOTIVACIÓN Y OBJETIVOS DE TESIS.....	20
1.2 ESTRUCTURA DEL DOCUMENTO.....	22
2 MODULADORES SIGMA-DELTA EN TIEMPO CONTINUO	25
2.1 LA MODULACIÓN SIGMA-DELTA.....	25
2.2 MODULADORES SD EN TIEMPO CONTINUO.....	29
3 METODOLOGÍAS DE DISEÑO PARA MODULADORES SDTC	33
3.1 DISEÑO DE LA NTF	35
3.1.1 <i>Metodología basada en la respuesta invariante al impulso.</i>	35
3.1.2 <i>Diseño en el dominio analógico.</i>	39
3.1.3 <i>Comparativa de modelos lineales</i>	40
3.2 TOPOLOGÍAS DE IMPLEMENTACIÓN	45
3.2.1 <i>Representación mediante ecuaciones de estado.</i>	45
3.2.2 <i>Caso particular: integradores en cascada</i>	47
3.3 MÉTODOS DE SIMULACIÓN. HERRAMIENTAS CAD.	51
4 ANÁLISIS Y MODELADO DE EFECTOS LINEALES EN LOS MODULADORES SDTC.....	53
4.1 ANCHO DE BANDA DE LOS ELEMENTOS ACTIVOS.....	53
4.1.1 <i>Análisis de un integrador Gm-C</i>	55
4.1.2 <i>Análisis de un integrador RC-AO</i>	56

4.1.3	<i>Modelado de un integrador con ancho de banda finito para simulación</i>	63
4.2	RETARDO DE BUCLE EN EXCESO	65
4.2.1	<i>Análisis mediante el margen de fase</i>	74
4.2.2	<i>Métodos de compensación</i>	75
5	ANÁLISIS Y MODELADO DE LOS EFECTOS NO LINEALES EN LOS MODULADORES SDTC	77
5.1	ANÁLISIS DE LA DISTORSIÓN EN LOS ELEMENTOS ACTIVOS	78
5.1.1	<i>Distorsión en un integrador RC-AO</i>	80
5.1.2	<i>Distorsión en un integrador Gm-C</i>	84
5.1.3	<i>Modelado de distorsión en simulación</i>	86
5.2	EFFECTOS DE LA NO LINEALIDAD EN LOS A/D Y D/A INTERNOS	90
5.2.1	<i>Efectos de no linealidad estática en los D/A</i>	91
5.2.2	<i>Efectos de la no linealidad dinámica en los D/A</i>	93
5.2.3	<i>Errores en los A/D</i>	95
6	ANÁLISIS Y MODELADO DE RUIDO CIRCUITAL EN LOS MODULADORES SDTC	99
6.1	RUIDO CIRCUITAL EN LOS AMPLIFICADORES	99
6.1.1	<i>Ruido térmico</i>	99
6.1.2	<i>Ruido 1/f</i>	100
6.1.3	<i>Caso de ejemplo</i>	101
6.2	RUIDO INDUCIDO POR LA SEÑAL DE RELOJ	103
6.2.1	<i>Análisis del efecto generado en el muestreador</i>	104
6.2.2	<i>Análisis del efecto generado en los convertidores D/A de realimentación</i>	104
6.2.3	<i>Modelo de simulación acelerada</i>	106
6.2.4	<i>Reducción del efecto del jitter del reloj por modificación de la NTF</i>	108
7	APORTACIONES A LA METODOLOGÍA DE DISEÑO DE SDTC	111
7.1	USO DEL MARGEN DE FASE PARA LA ESTABILIZACIÓN Y OPTIMIZACIÓN DE UN MODULADOR SDTC	112
7.2	METODOLOGÍA DE DISEÑO PROPUESTA	112
7.2.1	<i>Fase 1: Selección de parámetros iniciales</i>	114
7.2.2	<i>Fase 2: Búsqueda de un punto de comienzo</i>	115
7.2.3	<i>Fase 3: Optimización</i>	117

7.2.4	<i>Fase 4: Selección de la topología de implementación</i>	119
7.2.5	<i>Fase 5: Simulación de efectos lineales y no lineales.</i>	124
7.3	DESARROLLO DE UNA HERRAMIENTA SOFTWARE PARA DISEÑO DE MODULADORES SDTC	125
7.3.1	<i>Algoritmo de posicionamiento de los polos de $H_2(s)$ (Fase 2)</i>	125
7.3.2	<i>Algoritmo de búsqueda de un punto inicial (Fase 2)</i>	126
7.3.3	<i>Algoritmo de búsqueda del modulador óptimo (Fase 3)</i>	128
7.3.4	<i>Topologías contempladas (Fase 4)</i>	129
7.3.5	<i>Algoritmo para el escalado de las variables de estado (Fase 4)</i>	131
7.4	DESARROLLO DE LA HERRAMIENTA EN MATLAB: ANATEST	131
8	EJEMPLO DE APLICACIÓN: DISEÑO DE UN MODULADOR SDTC DE 4º ORDEN	139
8.1	REQUISITOS DEL DISEÑO	140
8.2	TECNOLOGÍA DE IMPLEMENTACIÓN.....	141
8.3	DETERMINACIÓN DEL ORDEN, RESOLUCIÓN INTERNA Y RELACIÓN DE SOBREMUESTREO	142
8.4	DETERMINACIÓN DEL FILTRO DE TIEMPO CONTINUO	145
8.5	SELECCIÓN DE LA ARQUITECTURA DE IMPLEMENTACIÓN	148
8.6	DISEÑO DE LOS COEFICIENTES DEL MODULADOR.....	151
8.7	ANÁLISIS DE SENSIBILIDAD A LAS TOLERANCIAS DE LOS COMPONENTES Y VARIACIONES DE PROCESO.....	153
8.8	ANÁLISIS DE SENSIBILIDAD A LA NO LINEALIDAD DE LOS CONVERTIDORES D/A	155
8.8.1	<i>Modelo de simulación de conducta</i>	155
8.8.2	<i>Resultados de las simulaciones</i>	156
8.9	ANÁLISIS DE SENSIBILIDAD AL JITTER	157
8.10	DEFINICIÓN DE LOS BLOQUES CIRCUITALES	158
8.10.1	<i>Estrategia de diseño y simulación</i>	158
8.10.2	<i>Bloques resonadores</i>	159
8.10.3	<i>El convertidor D/A principal</i>	160
8.10.4	<i>Bloque sumador</i>	162
8.10.5	<i>Bloque lógico para el apareamiento dinámico de elementos</i>	162

9	RESULTADOS EXPERIMENTALES	165
9.1	ARQUITECTURA DEL CIRCUITO INTEGRADO DE DEMOSTRACIÓN	165
9.2	TESTABILIDAD	166
9.2.1	<i>Buffer analógico de sensado para las variables de estado.....</i>	<i>166</i>
9.2.2	<i>Transconductancia extra.....</i>	<i>166</i>
9.2.3	<i>Ajuste de las frecuencias de resonancia del filtro</i>	<i>167</i>
9.2.4	<i>Prueba del cuantificador</i>	<i>167</i>
9.2.5	<i>Prueba del convertidor D/A principal.....</i>	<i>167</i>
9.2.6	<i>Prueba del convertidor D/A secundario.....</i>	<i>167</i>
9.2.7	<i>Programación del ELD.....</i>	<i>168</i>
9.2.8	<i>Prueba frente a variaciones de la tensión de alimentación</i>	<i>168</i>
9.3	GENERACIÓN DEL LAY-OUT	169
9.4	MEDIDAS EXPERIMENTALES	169
9.4.1	<i>Relación señal-ruido y rango dinámico.....</i>	<i>171</i>
9.4.2	<i>Sensibilidad a la variación de coeficientes</i>	<i>173</i>
9.4.3	<i>Sensibilidad al retardo de bucle en exceso</i>	<i>174</i>
9.4.4	<i>Sensibilidad al jitter del reloj.....</i>	<i>175</i>
10	CONCLUSIONES	179
10.1	RESUMEN DE CONCLUSIONES.....	183
10.2	RESUMEN DE APORTACIONES ORIGINALES.....	184
10.3	LÍNEAS DE TRABAJO FUTURO.....	185
	REFERENCIAS	187
	PUBLICACIONES	193

Índice de Tablas

Tabla 4.1 Tabla comparativa del cálculo del error de ganancia en función de la condición de diseño empleada en el amplificador operacional (n)	60
Tabla 5.1 Parámetros del integrador simulado.....	82
Tabla 7.1 Posición normalizada de los ceros de la NTF para obtener la mínima potencia en banda de ruido de cuantificación	126
Tabla 7.2 Tabla comparativa de diferentes funciones características	127
Tabla 8.1 Especificaciones de diseño.....	140
Tabla 8.2 Resumen del diseño.....	146
Tabla 8.3 Conjunto de coeficientes base	152
Tabla 8.4 Conjunto de coeficientes del sistema escalado	152
Tabla 8.5. Configuraciones usadas en las simulaciones a nivel de transistor	159
Tabla 9.1 Resumen de medidas obtenidas	173

Índice de Figuras

Figura 1.1 Rango de aplicación de los diferentes tipos de convertidores [Gia03a].....	18
Figura 2.1 Modulador SD de primer orden	27
Figura 2.2 Modelo lineal de un modulador SD discreto de primer orden	27
Figura 2.3 Espectro del ruido de cuantificación en un modulador SD de primer orden	27
Figura 2.4 Diagrama de bloques general de un modulador SD en tiempo discreto.....	28
Figura 2.5 Diagrama de bloques de un modulador SDTC.....	31
Figura 3.1 a) Diagrama de bloques de un modulador SDTC. b) Modelo lineal de un modulador SDTC	34
Figura 3.2 Diagrama de bloques en bucle abierto de un modulador SDTC (a) y de un modulador SDTD (b)	37
Figura 3.3 Modelo lineal de análisis de estabilidad en [Bre01]	39
Figura 3.4 Modelos lineales considerados en el estudio comparativo de metodologías. a) Modelo para el diseño en el dominio de tiempo discreto (usando la transformada de la respuesta invariante al impulso). b) Modelo para el diseño en el dominio de tiempo continuo	41
Figura 3.5 Comparación de los dos modelos para $h_2(0) < C$	42
Figura 3.6 Comparación de los dos modelos para $h_2(0) \rightarrow \infty$	42
Figura 3.7 Simulaciones temporales del sistema descrito en la figura 3.5 con distintas resoluciones del cuantificador	43
Figura 3.8 Simulaciones temporales del sistema descrito en la figura 3.6 con distintas resoluciones del cuantificador	44
Figura 3.9 Diagrama de bloques de un modulador SDTC.....	45
Figura 3.10 Arquitectura genérica de un modulador SDTC usando integradores en cascada.....	49

Figura 4.1 Circuitos integradores. Los elementos activos usados son a) una transconductancia y b) un amplificador operacional.....	54
Figura 4.2 Integrador Gm-C diferencial.....	55
Figura 4.3 Modelo de primer orden para una transconductancia	56
Figura 4.4 Modelo de primer orden para el amplificador operacional de la figura 4.1.a	57
Figura 4.5 Gráfica comparativa del cálculo del error de ganancia en función de la condición de diseño empleada en el amplificador operacional (n).....	60
Figura 4.6 Capacidad parásita equivalente referida a la entrada del amplificador	61
Figura 4.7 Modelo para simulación de un integrador con error de ganancia y ancho de banda finito.....	64
Figura 4.8 Modelo para simulación de un resonador AO-RC con error de ganancia y ancho de banda finito.....	65
Figura 4.9 Diagrama de bloques de un modulador SDTC.....	66
Figura 4.10 Diagrama de bloques extendido de un modulador SDTC.....	67
Figura 4.11 Respuesta al impulso del camino de realimentación (D/A y ELD).....	67
Figura 4.12 Diagrama de bloques de un modulador SDTC en bucle abierto y su equivalente discreto	69
Figura 4.13 Ejemplo de respuesta al impulso de un D/A retardada.....	69
Figura 4.14 Diagrama de bloques del modulador SDTD estándar de segundo orden.....	70
Figura 4.15 Lugar de las raíces de $N\tilde{T}F(z)$ para el caso de (4.43) en función de τ_d	71
Figura 4.16 Lugar de las raíces de $N\tilde{T}F(z)$ para el caso de la figura 4.17 con las funciones de transferencia (4.44) en función de τ_d	72
Figura 4.17 Diagrama de bloques de un modulador de ejemplo de tercer orden.....	72
Figura 4.18 Lugar de las raíces de $N\tilde{T}F(z)$ para el caso de la figura 4.17 con las funciones de transferencia (4.45) en función de τ_d	73

Figura 5.1 Dependencia de los armónicos con la amplitud de entrada en transistor MOS [Gia03a]	79
Figura 5.2 Integrador RC-AO.....	81
Figura 5.3 Función de transferencia de un AO [Gia03a]	81
Figura 5.4 Simulación a nivel de transistor de la distorsión armónica del integrador RC-AO de la tabla 5.1	82
Figura 5.5 Modelo sencillo de un AO de dos etapas	83
Figura 5.6 Integrador Gm-C	84
Figura 5.7 Algunas de las técnicas usadas para linealizar un par diferencial.....	85
Figura 5.8 Curva de transferencia tensión-corriente en corriente continua simulada a nivel de transistor [Gia03a].....	86
Figura 5.9 Distorsión armónica en una simulación transitoria [Gia03a]	86
Figura 5.10 Modelo de distorsión.....	87
Figura 5.11 Primera derivada de la función polinómica [Gia03a]	88
Figura 5.12 $y(x)$ e $y'(x)$ para varios valores del parámetro D_y [Gia03a]	89
Figura 5.13 Distorsión armónica para varios valores del parámetro D_y [Gia03a].....	90
Figura 5.14 Errores dinámicos en un D/A	94
Figura 5.15 Celda de un D/A implementado con fuentes de corriente controladas por tensión [Gia03a]	95
Figura 5.16 Curva de transferencia modificada por efecto del offset en los comparadores.	96
Figura 5.17 Degradación de la relación señal-ruido en función del offset de los comparadores [Gia03a].....	96
Figura 5.18 Espectro de la salida del modulador para diferentes valores de offset en los comparadores [Gia03a].....	97
Figura 6.1 Densidad espectral de la potencia de ruido producida por los dos resonadores y comparada con la densidad espectral de potencia del ruido de cuantificación [Gia03a]	101
Figura 6.2 Fuentes de ruido en el primer integrador [Gia03a].....	102

Figura 6.3 Densidad espectral de la potencia de ruido en el primer integrado [Gia03a]	103
Figura 6.4 Modulador SDTC con jitter en la señal de reloj.	104
Figura 6.5 Representación de los errores producidos como consecuencia del jitter de reloj.....	105
Figura 6.6 Equivalencia del modelo variante en el tiempo con un modelo invariante en el tiempo pero variable en amplitud.	106
Figura 6.7 Modelo simplificado del efecto del jitter sobre un modulador SDTC	107
Figura 6.8 Modelo en Simulink para un SDTC de cuarto orden.....	107
Figura 6.9 Comparación del modelo propuesto con un modelo convencional	108
Figura 6.10 Ejemplo ilustrativo de cómo modificar una NTF para reducir la sensibilidad al jitter del reloj.	109
Figura 7.1 Modelo lineal en TD.....	113
Figura 7.2 Modulador SDTC	116
Figura 7.3 Función de transferencia en bucle abierto	115
Figura 7.4 Diagrama de flujo de la fase 2. (*) Se refiere a (7.5), (7.6), (7.7)	128
Figura 7.5 Diagrama de flujo de la fase 3. (*) Se refiere a (7.13)	130
Figura 7.6 Captura de pantalla de la interfaz gráfica de la herramienta para el escalado óptimo de las variables de estado [Fru04]	131
Figura 7.7 Interfaz gráfica de la herramienta ANATEST	132
Figura 7.8 Diagrama de flujo del proceso de diseño y su relación con la herramienta ANATEST	133
Figura 7.9 Detalle del bloque Entrada de datos.....	133
Figura 7.10 Detalle del bloque Control	134
Figura 7.11 Detalle del bloque Representaciones del análisis lineal: diagramas de Bode.....	134
Figura 7.12 Detalle del bloque Representaciones del análisis lineal: diagrama polo-cero de $H_2(s)$	135
Figura 7.13 Detalle del bloque Representaciones del análisis lineal: diagrama polo-cero de $\tilde{NTF}(z)$	135

Figura 7.14 Detalle del bloque Menú: Menú de Informes.....	136
Figura 7.15 Detalle del bloque Menú: Menú general.....	136
Figura 8.1 Simuladores SDTD clasificados por SNR. La norma infinito de la NTF está optimizada en cada caso para la resolución del cuantificador a usar.....	143
Figura 8.2 Simuladores SDTD clasificados por SNR. La norma infinito de la NTF está fijada en 1.5 para todos los casos.....	144
Figura 8.3 Simuladores SDTD clasificados por SNR. Se ha calculado una SNR media con los moduladores cuya norma infinito de la NTF es 1.5 o se ha optimizado según la resolución del cuantificador.....	145
Figura 8.4 Captura de pantalla de una versión preliminar de la herramienta ANATEST que muestra el diseño de la tabla 8.2.....	146
Figura 8.5 Rango dinámico del sistema diseñado (Salida de la versión preliminar de la herramienta ANATEST).....	147
Figura 8.6 Densidad espectral de potencia de la señal de salida del modulador simulado con un tono de -2dB a 2MHz (Salida de la versión preliminar de la herramienta ANATEST).....	147
Figura 8.7 Diagrama de bloques de un modulador SDTC.....	148
Figura 8.8 Arquitectura seleccionada.....	150
Figura 8.9 Simulación de la tolerancia al retardo de bucle en exceso.	154
Figura 8.10 Tolerancia del modulador a la variación del coeficiente f_{be}	154
Figura 8.11 Modelo de simulación de conducta del modulador seleccionado con convertidores D/A no lineales.	156
Figura 8.12 Espectros de la señal de salida promediados entre 10 simulaciones de 8192 muestras	157
Figura 8.13 Tolerancia del sistema al jitter del reloj.....	158
Figura 8.14 Circuito integrador [Gia03a].....	160
Figura 8.15 Convertidor D/A principal y primer resonador [Gia03a].....	161
Figura 8.16 Circuito sumador-cuantificador compacto [Gia03a].....	163
Figura 8.17 Esquema de principio del bloque lógico de apareamiento dinámico de elementos [Gia03a].....	164

Figura 9.1 Arquitectura del circuito de demostración [Gia03a]	165
Figura 9.2 Prueba del convertidor D/A principal. [Gia03a]	168
Figura 9.3 Prueba del convertidor D/A secundario [Gia03a].....	168
Figura 9.4 Lay-out	169
Figura 9.5 Fotografía de la placa de circuito impreso usada para la caracterización experimental.	170
Figura 9.6 Medida del espectro para un tono	172
Figura 9.7 Medida del espectro para dos tonos	172
Figura 9.8 Medida del rango dinámico	173
Figura 9.9 Medida de rango dinámico frente a la variación de f_{be}	174
Figura 9.10 Medida de rango dinámico frente a la variación del retardo de bucle en exceso.....	175
Figura 9.11 Medida de la sensibilidad al jitter del reloj.....	176

Glosario de términos y lista de acrónimos

A continuación aparece una lista de términos y acrónimos usados en esta tesis doctoral. Las palabras entre paréntesis aportan el contexto de la definición. En los acrónimos heredados de la literatura anglosajona se han añadido las transcripciones originales entre corchetes.

A/D	(Convertidor) Analógico-Digital.
AO	Amplificador Operacional
AOT	Amplificador Operacional de Transconductancia
CAD	Diseño asistido por ordenador [Computer-Aided Design]
CMOS	(Tecnología) Metal-Óxido-Semiconductor complementario [Complementary Metal-Oxide-Semiconductor]
D/A	(Convertidor) Digital-Analógico.
DNL	No linealidad diferencial [Differential Non-Linearity]
DR	Rango dinámico [Dynamic Range]
DWA	Algoritmo para promediar los errores de apareamiento en un convertidor D/A [Data Weighted Averaging]
EG	Error de Ganancia (en un integrador)
ELD	Retardo de bucle en exceso [Excess-Loop Delay]

ENOB	Número de bits efectivos [Effective Number Of Bits]
Gm-C	Circuito integrador compuesto por una transconductancia y un condensador
HD2	Potencia del segundo armónico en relación a la potencia del tono principal
HD3	Potencia del tercer armónico en relación a la potencia del tono principal
HDi	Potencia del i-ésimo armónico en relación a la potencia del tono principal
IIR	Respuesta al impulso infinta [Infinite Impulse Response]
IM3	Potencia del tercer producto de intermodulación en relación a la potencia de la señal sin distorsión.
INL	No linealidad integral o absoluta [Integral Non-Linearity]
MOS	(Transistor) metal-oxido-semiconductor [Metal-Oxide-Semiconductor]
MP	Múltiples Prealimentaciones
MPyR	Múltiples Prealimentaciones y Realimentaciones
MR	Múltiples Realimentaciones
NRZ	(Convertidor D/A) No retorno a cero [Non-Return-to-Zero]
NTF	Función de transferencia del ruido (de cuantificación) [Noise Transfer Function]
OSR	Relación de sobremuestreo [OverSampling Ratio]
RC-AO	Circuito integrador compuesto por un amplificador operacional, una resistencia y un condensador

RZ	(Convertidor D/A) Retorno a cero [Return-to-Zero]
SD	(Modulación) Sigma-Delta
SDTC	(Modulador) Sigma-Delta en Tiempo Continuo
SDTD	(Modulador) Sigma-Delta en Tiempo Discreto
SFDR	Rango dinámico libre de tonos espúreos [Spurious-Free Dynamic Range]
SINAD	Relación señal-ruido más distorsión [Signal-to-Noise-And-Distortion ratio]
SNDR	Relación señal-ruido más distorsión [Signal-to-Noise-and-Distortion Ratio]
SNR	Relación señal-ruido [Signal-to-Noise Ratio]
SPI	Interfaz serie de programación [Serial Programming Interface]
STF	Función de transferencia de la señal [Signal Transfer Function]
TC	Tiempo Continuo
TD	Tiempo Discreto
VDSL	Línea de abonado digital de alta velocidad [Very High-Speed Digital Subscriber Line]
VLSI	(Circuitos integrados) Integración a gran escala [Very Large Scale Integration]

Capítulo 1

Introducción

En los últimos veinte años las técnicas de diseño y las tecnologías de fabricación de circuitos integrados han evolucionado rápidamente, sobre todo en lo que respecta al procesamiento digital de señal. Actualmente la tecnología predominante en los circuitos integrados digitales VLSI (de Very Large Scale Integration) es la tecnología CMOS (de Complementary Metal-Oxide-Semiconductor) [Wes92].

El procesamiento digital de señal se usa mucho en distintos tipos de sistemas de comunicaciones, sistemas de instrumentación, y sistemas de control entre otros. En todos estos sistemas la información “física” viene constituida por señales analógicas, por lo que estos necesitan de convertidores Analógico-digitales (A/D) y/o convertidores Digital-Analógicos (D/A) para enlazar con el procesamiento digital de señal. La tendencia general es integrar con la misma tecnología CMOS VLSI los sistemas de procesamiento digital de señal con los circuitos de señal mixta de los convertidores A/D y D/A.

Los convertidores A/D y D/A precisan de técnicas de diseño específicas que permitan optimizar la velocidad y la resolución cuando se integran en una tecnología CMOS. Habitualmente se aprovecha la capacidad de procesamiento digital para compensar ciertas no linealidades con técnicas digitales [Moo99]. Sin embargo existen una serie de ventajas si se emplea mayor cantidad de circuitos analógicos, como se verá en el capítulo 2.

Los diferentes tipos de convertidores A/D pueden clasificarse atendiendo a su velocidad y resolución [Joh97]. Los convertidores basados en moduladores Sigma-Delta se suelen encontrar en aplicaciones de alta resolución y baja-media velocidad,

mientras que los convertidores tipo Pipeline y tipo Flash se usan para aplicaciones de alta velocidad y resolución media. En la figura 1.1 se muestra de forma gráfica esta división, proporcionando límites de velocidad y resolución para cada tipo de convertidor A/D [Gia03a].

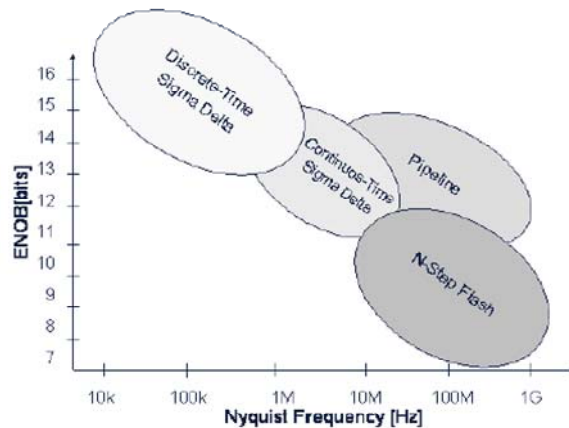


Figura 1.1 Rango de aplicación de los diferentes tipos de convertidores [Gia03a]

Los circuitos integrados de convertidores A/D tipo Pipeline [Min03], [Miy02], así como de tipo Flash emplean un área de silicio mayor que los de tipo Sigma-Delta [Joh97]. Por otro lado, conforme va evolucionando la tecnología CMOS VLSI y el estado de la investigación sobre modulación Sigma-Delta, aparecen moduladores Sigma-Delta más rápidos [Moy03], [Luh00], [Yan03], [Vel03]. En general, el aumento mayor de velocidad se ha producido al sustituir dentro de los moduladores Sigma-Delta elementos de procesado en tiempo discreto por elementos de procesado en tiempo continuo.

Los moduladores Sigma-Delta ocupan menos área de silicio, y dado que sus circuitos son sencillos [Che00], presumiblemente consumen menos potencia para el mismo tipo de aplicación que los convertidores A/D tipo Pipeline, por lo que estos moduladores constituyen una solución más óptima para aplicaciones de alta velocidad y resolución moderada.

Los módems VDSL (de Very high-speed Digital Subscriber Line) constituyen una de estas aplicaciones de alta velocidad y resolución moderada, con velocidades entre 20 y 40 Megabits por segundo (Mbps). Esta es la aplicación donde se encuadra esta tesis doctoral.

En la actualidad existen tres factores que limitan la resolución y velocidad máxima alcanzable en los convertidores A/D, incluyendo los basados en moduladores Sigma-Delta [Wal99]:

- Ruido térmico
- Incertidumbre del instante de muestreo
- Metaestabilidad o ambigüedad en el comparador

Los moduladores Sigma-Delta trabajan a una frecuencia superior a la frecuencia de Nyquist, a diferencia de los ya comentados convertidores tipo Pipeline, y son especialmente insensibles a las imperfecciones del circuito y a las tolerancias de los componentes [Bos88]. Un modulador Sigma-Delta emplea un cuantificador de poca resolución y una etapa de filtrado formando un bucle de realimentación. La etapa de filtrado y el bucle de realimentación, junto con la elevada frecuencia de muestreo, hacen que el modulador tenga una resolución superior a la del cuantificador empleado.

Debido al cuantificador incluido en el bucle, un modulador Sigma-Delta es un sistema fuertemente no lineal. Las condiciones para que un modulador Sigma-Delta sea estable dependen de la resolución del cuantificador y del orden de la etapa de filtrado. En general no existe una solución analítica al problema de estabilidad, salvo para casos particulares.

Existen dos posibles implementaciones del modulador atendiendo a dónde se realice el proceso de muestreo: los moduladores Sigma-Delta de tiempo discreto, donde el muestreo de señal se realiza fuera del bucle de realimentación, y los moduladores Sigma-Delta de tiempo continuo, donde el muestreo de señal se produce dentro del bucle de realimentación y posteriormente a la etapa de filtrado. Éstos últimos poseen características que los hacen más apropiados para aplicaciones de alta velocidad [Che00].

La tesis doctoral que aquí se presenta se centra en el estudio de moduladores Sigma-Delta de tiempo continuo y alta velocidad. Puesto que los moduladores Sigma-Delta trabajan a frecuencias superiores a la frecuencia de Nyquist habitualmente nos referimos a ellos como convertidores A/D de sobremuestreo. La relación entre la

frecuencia de muestreo y la frecuencia de Nyquist se denomina relación de sobremuestreo. Cuanto mayor sea la relación de sobremuestreo mayor será la resolución del modulador. Sin embargo, la frecuencia de muestreo tiene un límite tecnológico que no se puede superar por motivos de consumo de potencia, por lo que para obtener un modulador de alta velocidad es necesario reducir la relación de sobremuestreo.

Por último los moduladores Sigma-Delta de tiempo continuo y baja relación de sobremuestreo tienen poco margen de estabilidad, por lo que necesitan de técnicas de diseño específicas, y éste es el eje central de la tesis doctoral.

1.1 Motivación y objetivos de tesis

Teóricamente, usando relaciones de sobremuestreo bajas, es posible integrar en circuitos CMOS VLSI moduladores Sigma-Delta de tiempo continuo con anchos de banda analógicos en el entorno de 20MHz. Por ejemplo, usando una frecuencia de reloj de 400MHz y una relación de sobremuestreo de 10, se obtiene un modulador Sigma-Delta de 20MHz de ancho de banda. El uso de circuitos de tiempo continuo en la etapa de filtrado del modulador redundante en una reducción del ancho de banda necesario en los elementos activos del circuito, y por tanto también, en una reducción del consumo de potencia [Che00], [Bre01]. Esto justifica el interés de la comunidad científica en investigar arquitecturas de moduladores Sigma-Delta de tiempo continuo para aplicaciones de alta velocidad.

Por otro lado, las técnicas de diseño de moduladores Sigma-Delta son objeto de investigación, para intentar mejorar y optimizar su resolución y estabilidad dado un determinado consumo de potencia. En el caso de los moduladores Sigma-Delta de tiempo discreto las investigaciones sobre el tema se encuentran muy desarrolladas. Las mejoras que van apareciendo son fruto de la mejora de la tecnología de integración CMOS. Sin embargo, en el caso de moduladores Sigma-Delta de tiempo continuo, la mejora de la tecnología ha sido sólo uno de los motivos que han impulsado su investigación. Actualmente existen numerosos investigadores que continúan trabajando en una metodología de diseño [Ben00], [Luh00], [Che00], [Bre01], [Ger02].

Esto justifica el interés por investigar metodologías de diseño para moduladores Sigma-Delta de tiempo continuo y proporcionar herramientas y modelos que ayuden al diseñador.

En este marco, el grupo de Microelectrónica (Departamento de Tecnología Electrónica) de la Universidad Carlos III de Madrid inició una colaboración en el año 2001 con la empresa Infineon Technologies¹ para diseñar un convertidor A/D Sigma-Delta de tiempo continuo de alta velocidad y bajo consumo de potencia. Dentro del grupo de investigación formado para el desarrollo del proyecto se propusieron dos temas de tesis. El primero, objeto de esta tesis doctoral, está ligado a la metodología de diseño y modelado de moduladores Sigma-Delta de tiempo continuo. El segundo, objeto de la tesis doctoral de Antonio Di Giandomenico [Gia03a], está ligado a la implementación e integración en tecnologías submicrónicas de moduladores Sigma-Delta de tiempo continuo y alta velocidad.

Apoyados en las motivaciones expuestas, se han definido los siguientes objetivos de tesis:

- **Objetivos teóricos**

- **Modelado de cada uno de los efectos, lineales y no lineales**, que se producen en los moduladores Sigma-Delta de tiempo continuo paso-bajo, especialmente los de baja relación de sobremuestreo.
- **Desarrollo y análisis de una estrategia de diseño estructurada** para moduladores Sigma-Delta de tiempo continuo paso-bajo y baja relación de sobremuestreo. Esta metodología debe permitir obtener un modulador robusto frente a las variaciones de proceso y los efectos previamente modelados, que además debe ser óptimo respecto a resolución y consumo de potencia.

¹ Infineon Technologies es una multinacional de origen europeo, creada en 1999 a partir de la división Siemens Semiconductors, y que se dedica al campo de la microelectrónica.

- **Objetivos prácticos**

- **Validación de la estrategia de diseño.** Se pretende diseñar una herramienta software que facilite la evaluación y aplicación de la metodología a un caso práctico. La validación se produce al aplicar la estrategia a un diseño real, un modulador Sigma-Delta de tiempo continuo de 11 bits de resolución sobre un ancho de banda analógico superior a los 12 MHz.
- **Comprobación experimental** de los modelos desarrollados. Se pretende validar los modelos mediante la caracterización experimental de un prototipo. Dicho prototipo corresponderá con la integración y fabricación en 0.13 μ m CMOS del diseño real sobre el que se ha evaluado la estrategia de diseño. Se pretenden validar los modelos desarrollados por comparación directa de las medidas con resultados obtenidos por simulación.

1.2 Estructura del documento

El documento de tesis se ha estructurado en ocho capítulos al margen de los capítulos de Introducción y Conclusiones.

El capítulo 2 está dedicado a dar una breve introducción sobre el principio de funcionamiento de la modulación Sigma-Delta, así como a enumerar las ventajas de una implementación en tiempo continuo. El capítulo 3 ofrece una descripción del estado de la tecnología en cuanto a metodologías de diseño de moduladores Sigma-Delta en tiempo continuo se refiere.

Los capítulos 4 a 6 están dedicados al análisis y modelado de los diferentes efectos que ocurren en este tipo de moduladores. Los efectos se han clasificado en lineales, no lineales, y ruido.

El capítulo 7 describe la principal aportación de la tesis doctoral, esto es, una metodología de diseño estructurada.

Los capítulos 8 y 9 están dedicados a la parte experimental de la tesis. El capítulo 8 recoge todos los elementos de diseño del ejemplo de aplicación, tanto a nivel de sistema, objeto de esta tesis, como un resumen de los circuitos implementados. El capítulo 9 muestra diferentes medidas experimentales realizadas sobre el prototipo fabricado.

Capítulo 2

Moduladores Sigma-Delta en Tiempo Continuo

2.1 La modulación Sigma-Delta

El primer antecesor de lo que se conoce como modulador Sigma-Delta (SD de aquí en adelante), fue patentado por C. C. Cutler en 1960. Consistía en un codificador de señal sobremuestreado, que empleaba un bit de cuantificación. Posteriormente, en 1962, H. Inose e Y. Yasuda publicaron un convertidor A/D que denominaron modulador Delta-Sigma, ya que combinaba los principios de la modulación Delta, ya conocida, con un integrador. Actualmente se emplean indistintamente ambos nombres (Delta-Sigma o Sigma-Delta). A pesar de ello, hasta mediados de los años 80 no empezaron a desarrollarse y utilizarse ampliamente. La publicación de J. C. Candy en 1985 de un modulador SD de segundo orden [Can85] constituyó el punto de inflexión. Desde entonces hasta ahora diferentes investigadores y empresas han trabajado en numerosas implementaciones de moduladores Sigma-Delta.

Para ilustrar el principio de funcionamiento de un modulador SD se ha tomado la arquitectura básica de la figura 2.1. El modulador SD clásico de primer orden está compuesto por un integrador, un muestreador, un cuantificador uniforme de un bit y un convertidor D/A en el camino de realimentación.

El sistema así formado es fuertemente no lineal. Sin embargo, es posible establecer un modelo lineal suponiendo que el cuantificador es una fuente de ruido blanco, uniformemente distribuido, y no correlado con la señal de entrada. Esta aproximación, ampliamente utilizada en diversos sistemas que incluyen

cuantificadores, es válida bajo las condiciones descritas en [Gra97]. El ruido aportado por el cuantificador es considerado aditivo a la salida del integrador, tal como muestra la figura 2.2, donde además se ha considerado un modulador de tiempo discreto. Es decir, el proceso de muestreo de señal ocurre fuera del bucle de realimentación.

Empleando la teoría de sistemas lineales sobre el modelo lineal considerado, se puede demostrar que la salida está compuesta por la suma de la señal de entrada filtrada y el ruido de cuantificación filtrado. Se observa que el camino de filtrado del ruido de cuantificación es diferente del camino de filtrado de la señal de entrada, ya que al aplicar la transformada \mathcal{Z} sobre el sistema de la figura 2.2, se obtiene:

$$\begin{cases} \tilde{v}[n] = \tilde{u}[n-1] + (\tilde{e}[n] - \tilde{e}[n-1]) \\ V(z) = z^{-1}U(z) + (1 - z^{-1})E(z) \end{cases} \quad (2.1)$$

Como se puede observar, el ruido de cuantificación queda atenuado en una determinada banda de frecuencia próxima a cero, como se muestra en la figura 2.3. Supuesto que la señal de entrada tiene un espectro finito y centrado en cero, y que la frecuencia de muestreo es superior a la frecuencia de Nyquist de la señal de entrada, la señal de salida tendrá una resolución dentro de la banda de frecuencia de interés mayor que la obtenida si se empleara únicamente el cuantificador uniforme de la figura 2.1.

El ruido de cuantificación que queda fuera de la banda de interés es filtrado digitalmente con posterioridad. La etapa de filtrado digital incorpora usualmente un filtro de diezmado. A la relación entre la frecuencia de muestreo empleada en la modulación y la frecuencia de Nyquist se le denomina relación de sobremuestreo (OSR de OverSampling Ratio, de aquí en adelante).

Usando el modelo lineal del modulador el diseñador puede conseguir que el filtrado de señal sea independiente del filtrado del ruido de cuantificación. Para aumentar la resolución del modulador se puede incrementar el orden de filtrado, incrementar en número de bits empleados en la cuantificación, o bien incrementar la OSR.

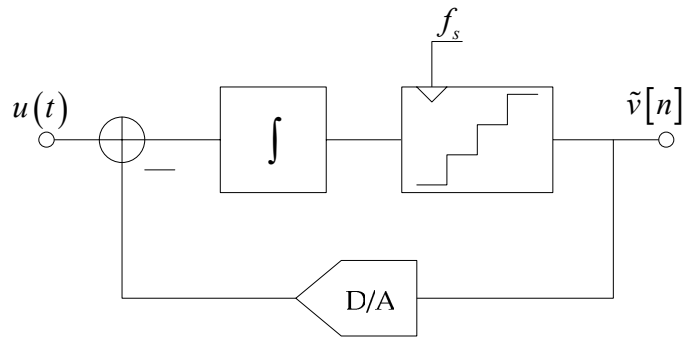


Figura 2.1 Modulador SD de primer orden

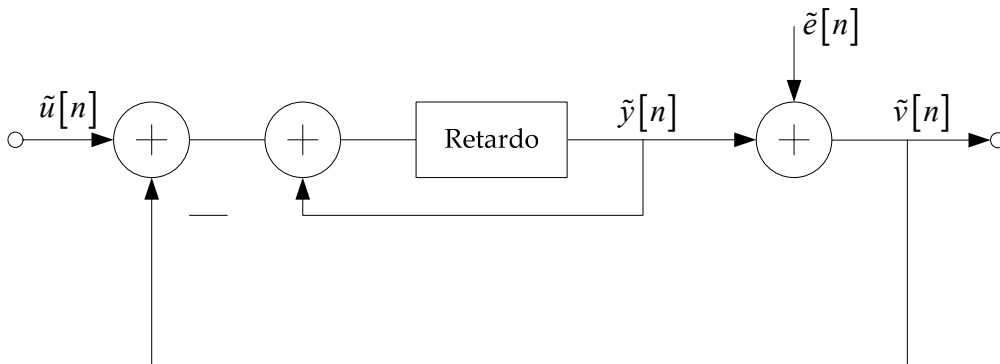


Figura 2.2 Modelo lineal de un modulador SD discreto de primer orden

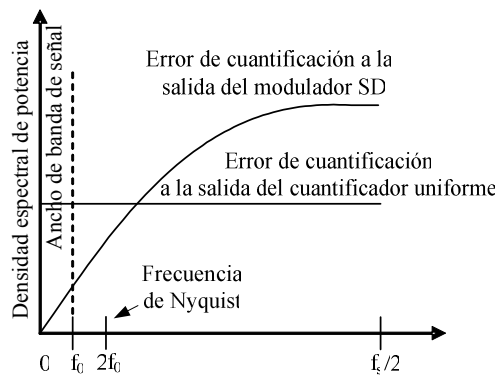


Figura 2.3 Espectro del ruido de cuantificación en un modulador SD de primer orden

En general se pueden definir dos funciones de transferencia asociadas a un modulador SD. Una función de transferencia para el ruido de cuantificación o NTF (de Noise Transfer Function) y otra función de transferencia distinta para la señal de entrada o STF (de Signal Transfer Function). La señal de salida del modulador SD se puede expresar en función de estas dos funciones de transferencia según (2.2). La figura 2.4 muestra el diagrama de bloques general de un modulador SD enteramente discreto.

$$V(z) = S\tilde{T}F(z) \cdot U(z) + N\tilde{T}F(z) \cdot E(z) \tag{2.2}$$

donde

$$\begin{cases} S\tilde{T}F(z) = \frac{\tilde{H}_1(z)}{1 + \tilde{H}_2(z)} \\ N\tilde{T}F(z) = \frac{1}{1 + \tilde{H}_2(z)} \end{cases} \tag{2.3}$$

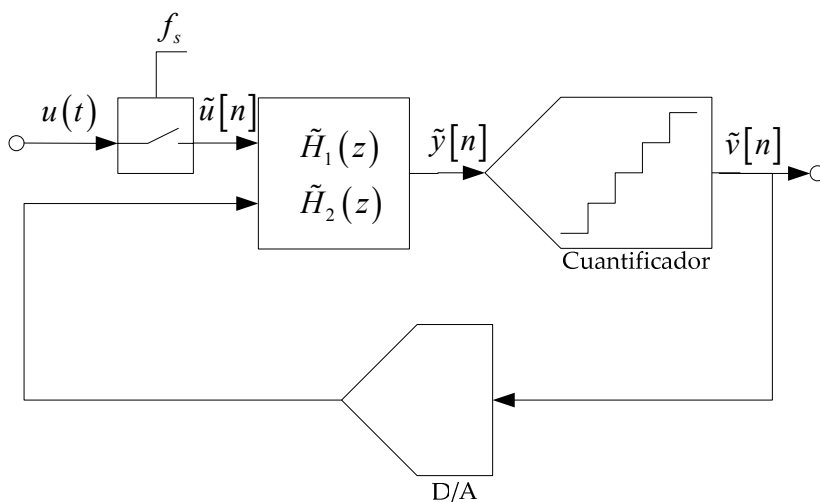


Figura 2.4 Diagrama de bloques general de un modulador SD en tiempo discreto.

Un incremento del orden de filtrado del modulador supone un incremento del orden de la NTF. Cuanto más agresiva es la NTF más resolución puede tener el modulador Sigma-Delta (sin entrar en consideraciones acerca de la estabilidad del sistema). Normalmente un modulador Sigma-Delta empieza especificándose a través de su NTF.

La resolución del modulador Sigma-Delta se define en base a la relación máxima señal-ruido (SNR) que puede obtenerse en su señal de salida. En un cuantificador uniforme se estima de forma aproximada que la SNR máxima que puede obtenerse en su señal de salida es [Joh97]

$$SNR_{uniforme} \approx 6.02 \cdot N + 1.76 \text{ dB} \tag{2.4}$$

donde N es el número de bits empleados en la cuantificación.

Teniendo en cuenta la expresión anterior se define la resolución de un modulador Sigma-Delta como

$$ENOB = \frac{SNR_{m\acute{a}xima} (dB) - 1.76}{6.02} \text{ bits} \quad (2.5)$$

donde ENOB se refiere al número de bits efectivos del convertidor A/D obtenido.

En muchas ocasiones se prefiere usar la relación señal-ruido-distorsión (SNDR o SINAD) en lugar de la SNR.

El modelo lineal sirve para estimar la resolución y características de un gran número de arquitecturas de una forma rápida. Sin embargo, deja de funcionar cuando alguna de las condiciones descritas en [Gra97] deja de cumplirse razonadamente bien. Dos casos en los que el modelo lineal no funciona, por ejemplo, son los siguientes: la generación de tonos no deseados en el espectro de salida, y la inestabilidad del modulador. Ambos problemas están tratados en la literatura técnica [Nor97].

2.2 Moduladores SD en tiempo continuo

La mayoría de los moduladores SD que se vienen implementando en la última década emplean las técnicas de condensadores conmutados, ya que es relativamente fácil aplicar las matemáticas del modulador a la implementación. Sin embargo la frecuencia de muestreo de los moduladores en Tiempo Discreto (TD de aquí en adelante) está limitada por los tiempos de establecimiento de las etapas de filtrado del modulador. Idealmente, la resolución del convertidor está determinada por el orden del filtro del modulador, la relación de sobremuestreo y el número de niveles del cuantificador. Por tanto, si es posible incrementar la frecuencia de muestreo, manteniendo lo demás, el ancho de banda del convertidor se verá incrementado sin perder resolución.

Una forma de conseguir velocidades mayores en el reloj de muestreo consiste en implementar el filtro del modulador con circuitos en Tiempo Continuo (TC de aquí

en adelante), tales como circuitos LC, integradores Gm-C, o integradores basados en amplificadores operacionales.

Los moduladores Sigma-Delta en Tiempo Continuo (SDTC de aquí en adelante) tienen una serie de ventajas con respecto a los moduladores Sigma-Delta en Tiempo Discreto (SDTD de aquí en adelante), pero también una serie de inconvenientes [Che00].

Los moduladores SDTC son capaces de trabajar a mayores velocidades del reloj de muestreo con respecto a los moduladores SDTD. La razón es que el ancho de banda de los dispositivos activos se puede reducir debido a que operan con señales continuas y no discretas. Teóricamente un modulador SDTC puede trabajar a una frecuencia de muestreo un orden de magnitud por encima, sin perder resolución, con respecto a un modulador SDTD. Por otra parte, en los moduladores SDTC no aparecen 'glitches' en los nodos de masa virtual de los amplificadores operacionales usados, lo que sí ocurre en los moduladores SDTD como consecuencia de la conmutación de condensadores. Otro problema importante que aparece en los moduladores SDTD es el fenómeno de 'aliasing', debido a que dos señales separadas por un múltiplo de la frecuencia de muestreo son indistinguibles. Los moduladores SDTD necesitan de un filtro 'antialiasing' en la entrada. Sin embargo, en los moduladores SDTC este fenómeno puede evitarse, debido a las características propias de filtrado que poseen.

Por último, cabe destacar que los moduladores SDTC siguen teniendo los problemas asociados a la incertidumbre del instante de muestreo y a la metaestabilidad del comparador, pero con más influencia sobre la resolución final que en los moduladores SDTD. Normalmente, dentro de los moduladores SDTC, el convertidor D/A situado en el camino de realimentación es sincronizado con el resto del sistema usando una señal de reloj. De esta forma se evitan los problemas derivados de la metaestabilidad del comparador, pero se introduce un retardo relativamente grande en el sistema. Este retardo, referido a menudo como retardo de bucle en exceso, tiene gran influencia sobre la estabilidad del modulador.

Estos dos últimos efectos, el retardo de bucle en exceso y la incertidumbre del instante de muestreo, son analizados en los próximos capítulos dada su especial relevancia.

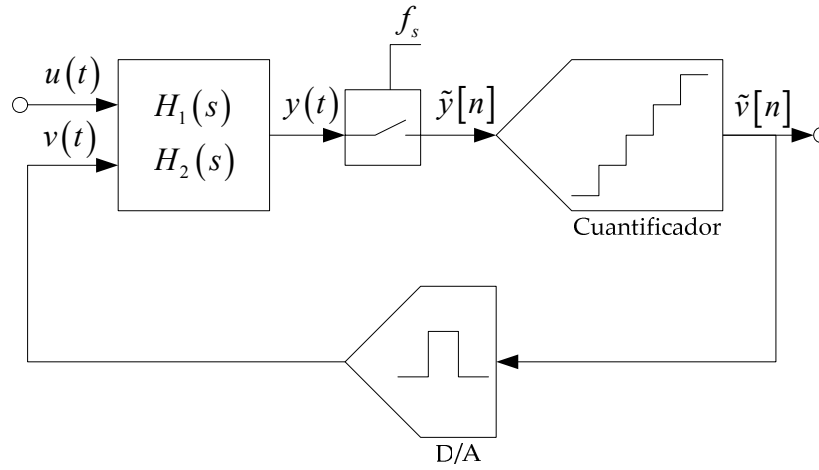


Figura 2.5 Diagrama de bloques de un modulador SDTC

Capítulo 3

Metodologías de diseño para moduladores SDTC

Este capítulo recoge las diferentes técnicas de diseño para moduladores SDTC paso-bajo publicadas en la literatura técnica.

La primera sección trata sobre los diferentes modos de especificar la NTF del modulador. La segunda sección versa sobre la elección de la topología de implementación. Por último la última sección trata de describir algunas de las herramientas CAD, entre las más habituales, para el diseño de moduladores SDTC.

La especificación de la NTF es la primera etapa del diseño de un modulador SDTC. Por este motivo se ha considerado de especial relevancia este punto. Para justificar la necesidad de especificar la NTF se ha retomando el modelo lineal descrito brevemente en el capítulo anterior.

La figura 3.1 muestra un diagrama de bloques general de un modulador SDTC y su modelo lineal. Se ha incluido en el modelo una etapa de filtrado con dos entradas independientes y una salida. Las funciones de transferencia entre la salida y cada una de las entradas tendrán influencia en la STF y la NTF del modulador. La NTF de este modelo lineal tiene un cálculo complejo que irá desgranándose a lo largo del capítulo.

No obstante considérese que es posible encontrar un sistema lineal en tiempo discreto equivalente al mostrado en la figura 3.1.b. Puede demostrarse que el rango dinámico viene dado por [Car97]:

$$DR = \frac{s_o^2}{n_o^2} = \frac{3}{2} \cdot \frac{2n+1}{\pi^{2n}} \cdot (2^N - 1)^2 \cdot OSR^{2n+1} \quad (3.1)$$

donde

- s_0^2 = potencia de un tono de amplitud igual al fondo de escala
- n_0^2 = potencia en banda del ruido de cuantificación
- n = orden del modulador
- N = número de bits del cuantificador
- OSR = relación de sobremuestreo

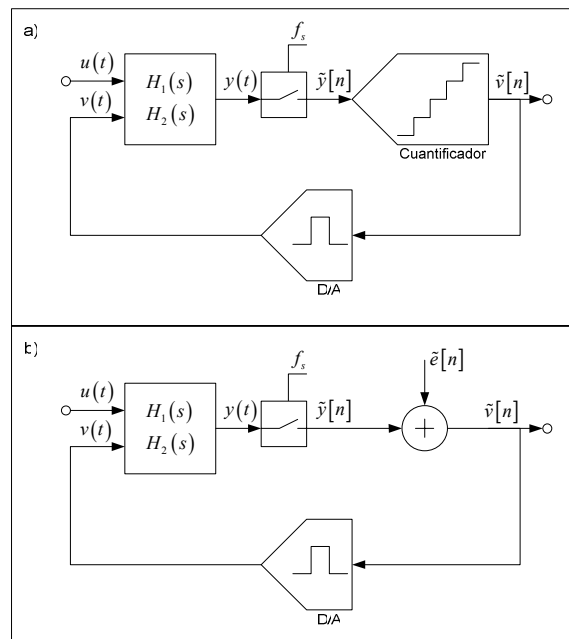


Figura 3.1 a) Diagrama de bloques de un modulador SDTC. b) Modelo lineal de un modulador SDTC

Idealmente el rango dinámico corresponderá con la SNR máxima que puede obtenerse a la salida del modulador SDTC. Sin embargo en la práctica, la SNR máxima se ve limitada por la estabilidad del sistema ante señales grandes de entrada y por la distorsión del modulador.

La ecuación (3.1) proviene de estimar la NTF como

$$NTF(z) = (1 - z^{-1})^n \quad (3.2)$$

Si el bloque de filtrado consiste en varias etapas de integradores en cascada se obtiene la NTF dada por la expresión anterior. Sin embargo existen otras alternativas, que a su vez, definirán una resolución diferente. Por tanto, el proceso de diseño

depende de la elección de una NTF adecuada para las especificaciones del modulador y, esta elección condiciona el diseño de los bloques mostrados en la figura 3.1.a

3.1 Diseño de la NTF

Hay numerosas publicaciones sobre técnicas de diseño de moduladores SDTC así como diferentes enfoques y análisis de sus posibles arquitecturas y circuitos. Esta sección recoge los métodos de diseño más conocidos y extendidos que tienen que ver con los moduladores SDTC.

Existen dos técnicas fundamentales: una primera basada en el diseño de un modulador en el dominio discreto para después encontrar su equivalente en el dominio de tiempo continuo; y la segunda basada en el diseño íntegro en el dominio de tiempo continuo.

3.1.1 Metodología basada en la respuesta invariante al impulso.

Esta metodología de diseño consiste en especificar la NTF de un modulador SDTD para después, a través de una transformación matemática, encontrar una forma de implementar la NTF diseñada con un modulador SDTC.

El primer investigador que empleó esta técnica fue James C. Candy. El trabajo que publicó en [Can85] ha sido ampliamente referenciado por muchos investigadores posteriores. El modulador que se describe en esta publicación se conoce como el modulador clásico o estándar de segundo orden. A partir de este modulador, diseñado en tiempo discreto con dos caminos de realimentación, encontró un modulador equivalente en tiempo continuo. El resultado que obtuvo es el mismo que resulta de aplicar el principio de la respuesta invariante al impulso, como se verá más adelante.

Posteriormente han sido publicados algunos trabajos que usan una transformación bilineal [Bro90] o la transformada \mathcal{Z} modificada [Hor90], bien para el diseño de los moduladores o bien para su modelado y simulación. En este trabajo se ha

preferido usar la respuesta invariante al impulso frente a otros métodos de transformación por ser el método más ajustado a la realidad.

El principio de la respuesta invariante al impulso ha sido aplicado por numerosos investigadores. En un principio partieron de moduladores SDTD previamente diseñados y publicados. La transformación se usó para obtener moduladores SDTC paso-banda [Thu91], [Sho94]. Posteriormente este trabajo se amplió y generalizó a moduladores paso-bajo en [Sch96], proponiendo una metodología estructurada y describiendo los bloques lineales de moduladores SDTD y SDTC a través de sus ecuaciones de estado. Paralelamente se publicó en [Ben97] una metodología similar pero sin usar las matrices de estado. A partir de ese momento se multiplicaron los trabajos publicados sobre moduladores SDTC, incluyendo los que aplican la transformación de la respuesta invariante al impulso. Existe un magnífico compendio de todas ellas en [Che00] que, además, cubre de forma sistemática tanto el diseño de moduladores SDTC como el análisis de cada uno de los efectos lineales y no lineales que se producen en ellos. Por último [Ger02] añade a la metodología una propuesta para elegir los parámetros fundamentales del modulador (orden, resolución del cuantificador y OSR).

Para ilustrar el principio de respuesta invariante al impulso considérese el modulador SDTC de la figura 3.2.a. Considérese también su diagrama de bloques en bucle abierto, mostrado en la figura 3.2.a, donde se ha anulado la entrada de señal. Este sistema tiene un equivalente discreto cuya respuesta al impulso unidad es idéntica, de forma que se cumple

$$\mathcal{Z}^{-1}\{\tilde{H}_2(z)\} = \mathcal{L}^{-1}\{P(s) \cdot H_2(s)\}\Big|_{t=n \cdot T_s} \quad (3.3)$$

La metodología de diseño propuesta por [Che00] consiste en los siguientes pasos:

- Diseño de una $N\tilde{T}F(z)$ que cumpla con las especificaciones de diseño.

Para este diseño se pueden seguir diferentes estrategias:

- usar uno de los moduladores clásicos o estándar,

- usar la metodología descrita en [Ada97a], [Sch03],
 - usar la metodología descrita en [Ken93] y denominada CLANS,
 - o usar el proceso descrito en [Ger02], que tiene en cuenta criterios sobre el consumo de potencia del circuito.
- Cálculo de $\tilde{H}_2(z)$ a partir de $N\tilde{T}F(z)$ según el modelo lineal,

$$N\tilde{T}F(z) = \frac{1}{1 + \tilde{H}_2(z)} \Rightarrow \tilde{H}_2(z) = \frac{1}{N\tilde{T}F(z)} - 1 \quad (3.4)$$

- Selección del tipo de pulso de el/los convertidores D/A y cálculo de $H_2(s)$ mediante (3.3)
- Selección de la arquitectura y cálculo de los coeficientes que la implementan
- Simulación temporal de la arquitectura en bucle abierto en un simulador tipo Spice que incluya los efectos no ideales (tanto lineales como no lineales) que se deseen.
- Extracción de la $\tilde{H}_2(z)$ real, ajuste de parámetros del circuito, y ajuste de los coeficientes de la arquitectura.

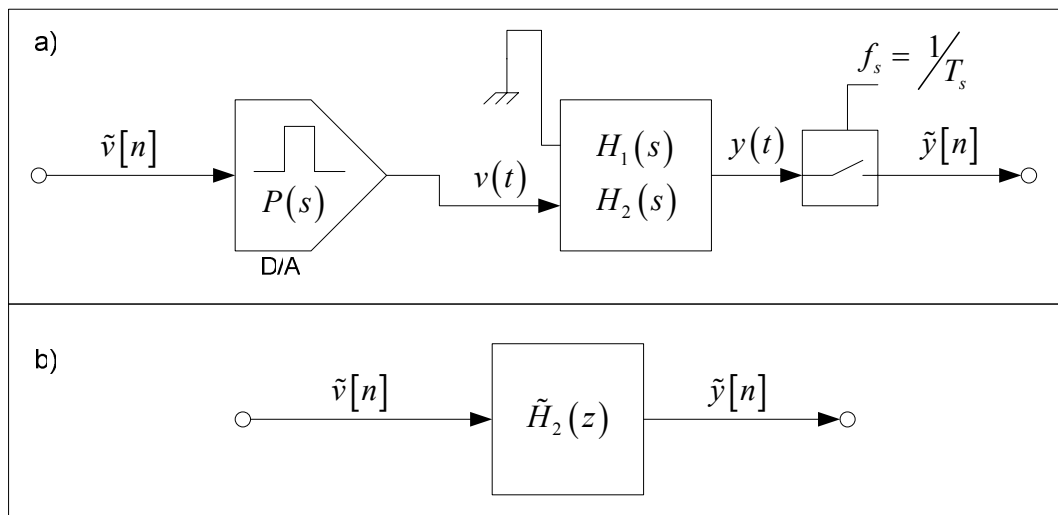


Figura 3.2 Diagrama de bloques en bucle abierto de un modulador SDTC (a) y de un modulador SDTD (b)

3.1.1.1 Sensibilidades de la metodología de diseño basada en la respuesta invariante al impulso

La principal dificultad que presenta este método es que el ajuste de parámetros del circuito se realiza atendiendo a la respuesta al impulso del sistema en bucle abierto. Al igualar la respuesta al impulso del modulador en bucle abierto en TC, que vendrá expresada en función de ciertos parámetros del circuito, con la respuesta al impulso del filtro de TD que realmente se quiere implementar surgen varios inconvenientes. El primero de ellos deriva de que habitualmente el filtro de TD es de tipo IIR (de Infinite Impulse Response), lo que implica igualar un número infinito de muestras si se opta por un método numérico de cálculo. Cabe también la posibilidad de encontrar una expresión analítica y evitar el cálculo numérico. Las expresiones analíticas de la respuesta al impulso son difíciles de obtener de forma general, aunque resultan relativamente fáciles de hallar para casos particulares, lo que dificulta a su vez su integración en una herramienta sistemática.

Otro inconveniente que resulta de la igualación de ambas respuestas al impulso es la dificultad de analizar y evaluar la sensibilidad del sistema a efectos no ideales que aparecen en el circuito y que por tanto deben modelarse en TC. Puede resultar que finalizado el diseño y ajustados todos los parámetros del circuito, el modulador se vuelva inestable debido a variaciones en el proceso de fabricación. Esto es debido simplemente al hecho de que resulta complejo trasladar al dominio de TD los fenómenos que realmente ocurren en el dominio de TC. Para solucionar este problema a menudo se recurre a sofisticados algoritmos de calibrado en la implementación práctica del sistema.

Por último cabe destacar que puede ser interesante diseñar la NTF de forma diferente a la descrita en [Ada97a] y [Wol97], para optimizar el comportamiento del modulador SDTC frente a los dos efectos relevantes brevemente descritos en el capítulo anterior: el retardo de bucle en exceso y la incertidumbre del instante de muestreo.

3.1.2 Diseño en el dominio analógico

Existe una alternativa de diseño, publicada en [Bre01], basada en un diseño completo en el dominio de tiempo continuo.

El método consiste en diseñar dos filtros analógicos $H_1(s)$ y $H_2(s)$ de forma que se cumplan dos condiciones:

- que el sistema de la figura 3.3 sea estable, para lo cual observa su lugar de las raíces, y
- que el sistema cumpla unas determinadas especificaciones (SNR, DR, etc.)

También considera la estabilidad del sistema para señales de amplitud cercana al fondo de escala del convertidor. Cuando la señal de entrada es suficientemente grande puede producirse una sobrecarga en las variables de estado de $H_2(s)$, lo que a su vez puede originar ciclos límite en la salida del modulador.

Para conseguir la estabilidad el método aconseja seguir una de las topologías que también se describen en [Bre01]. Estas topologías son análogas a las que aparecen descritas en [Ada97b] para moduladores SDTD.

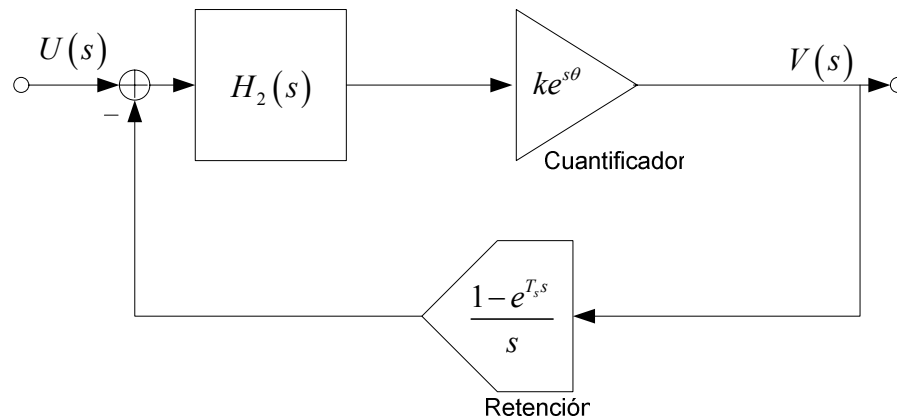


Figura 3.3 Modelo lineal de análisis de estabilidad en [Bre01]

3.1.2.1 Inconvenientes del diseño completo en el dominio analógico

Esta metodología tiene dos inconvenientes como consecuencia del modelo usado (figura 3.3).

En primer lugar el modelo de la figura 3.3 sólo es aplicable a los moduladores SDTC que empleen cuantificadores de un solo bit [Hof79].

En segundo lugar el modelo de la figura 3.3 parece adecuado para una relación de sobremuestreo elevada ya que no se tiene en cuenta el proceso de muestreo que ocurre dentro del bucle.

Otro inconveniente de esta metodología es que no se menciona cómo resolver de forma sistemática los clásicos problemas de los moduladores SDTC: el retardo de bucle en exceso y la sensibilidad a la incertidumbre del instante de muestreo

3.1.3 Comparativa de modelos lineales

Se ha realizado un breve estudio para comparar los modelos lineales que se usan en las dos metodologías de diseño descritas, con el objeto de determinar de forma experimental las características de cada metodología.

El estudio consiste en realizar una simulación temporal de un modulador SDTC con la entrada anulada y una fuente de ruido aleatorio (con distribución uniforme, limitada en banda y de valores extremos $\pm 1/(2^N - 1)$) y de muy baja amplitud añadida a la entrada del cuantificador y observar el espectro de salida. Por otro lado se ha calculado como es la densidad espectral de potencia de la señal de salida (considerando sólo la entrada del error de cuantificación) de los modelos lineales mostrados en la figura 3.4 y se comparan con el espectro de salida obtenido por simulación del modulador.

Se ha elegido para la comparación un modulador SDTC de cuarto orden de baja relación de sobremuestreo (OSR=12) y con un elevado retardo de bucle en exceso ($50\%T_s$).

Cuando el valor inicial de $H_2(s)$, $h_2(0)$, está acotado ambos modelos coinciden de forma aproximada en el rango $0 \leq f \leq f_s/2$. Sin embargo cuando $h_2(0) \rightarrow \infty$ ambos modelos divergen.

Como se puede observar en la figura 3.7 y en la figura 3.8 ningún modelo se ajusta bien a la simulación. Aparentemente para resoluciones bajas del cuantificador el modelo de la transformada de la respuesta invariante al impulso parece más acertado mientras que para resoluciones más altas es el otro modelo el que parece ajustarse más. Ambos moduladores resultan inestables para $N = 1$ bit, cuando se simulan temporalmente. Si se usa el modelo de la respuesta invariante al impulso (figura 3.4.a) se observa que la norma infinito de la NTF incumple la regla de Lee [Nor97] y sobrepasa el valor 1.5. Según esta regla, un modulador SD es inestable si usa un cuantificador de 1 bit y la norma infinito de la NTF sobrepasa el valor 1.5. Si se usa el modelo de la figura 3.4.b se puede calcular la ganancia del cuantificador para la cual el sistema deja de ser estable. El cálculo de esta ganancia depende de la señal de entrada, por lo que esta información no es utilizable directamente por el diseñador [Ard87].

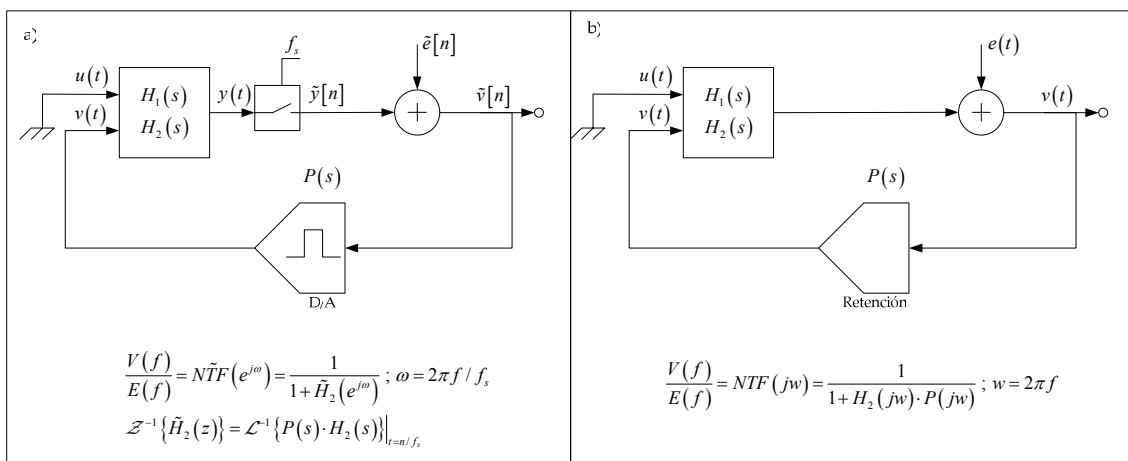


Figura 3.4 Modelos lineales considerados en el estudio comparativo de metodologías. a) Modelo para el diseño en el dominio de tiempo discreto (usando la transformada de la respuesta invariante al impulso). b) Modelo para el diseño en el dominio de tiempo continuo

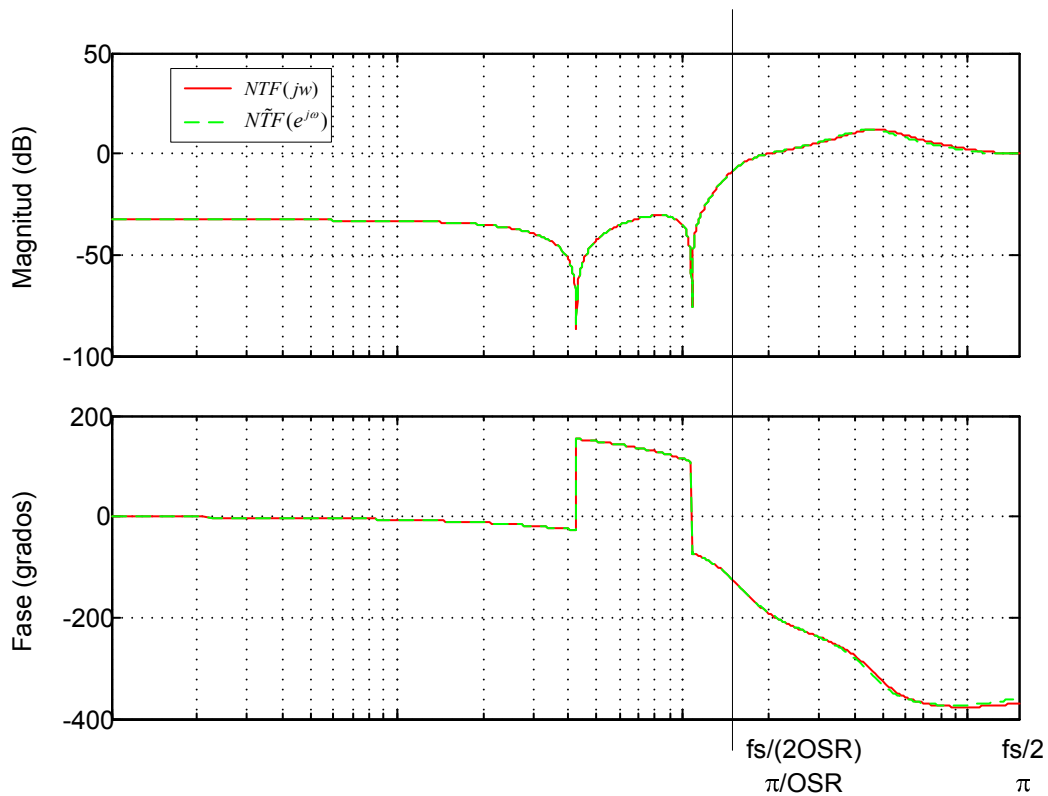


Figura 3.5 Comparación de los dos modelos para $h_2(0) < C$

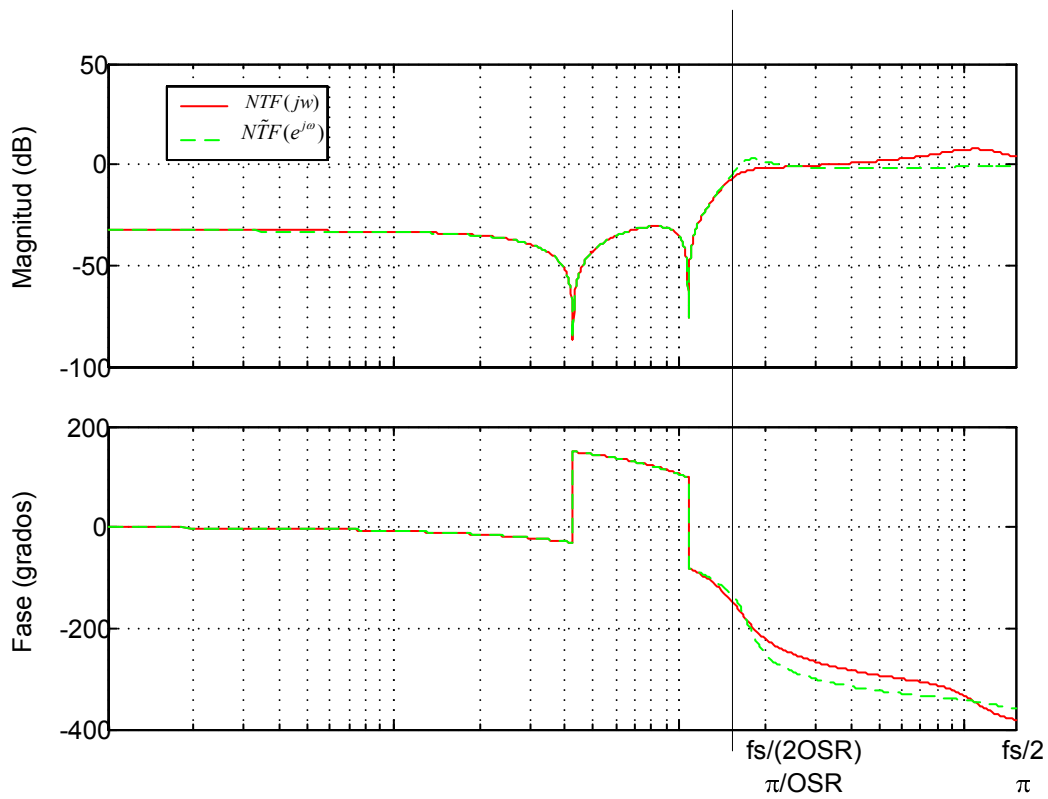


Figura 3.6 Comparación de los dos modelos para $h_2(0) \rightarrow \infty$

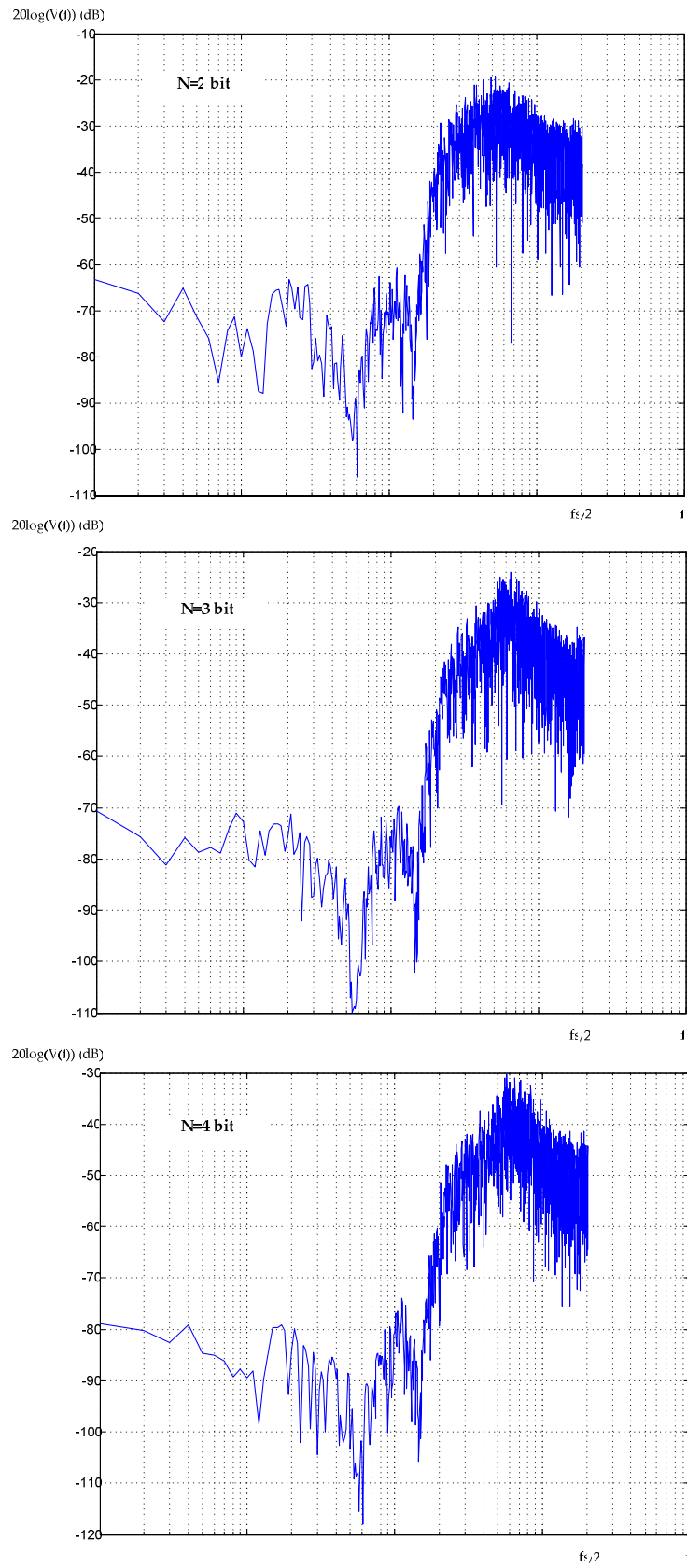


Figura 3.7 Simulaciones temporales del sistema descrito en la figura 3.5 con distintas resoluciones del cuantificador

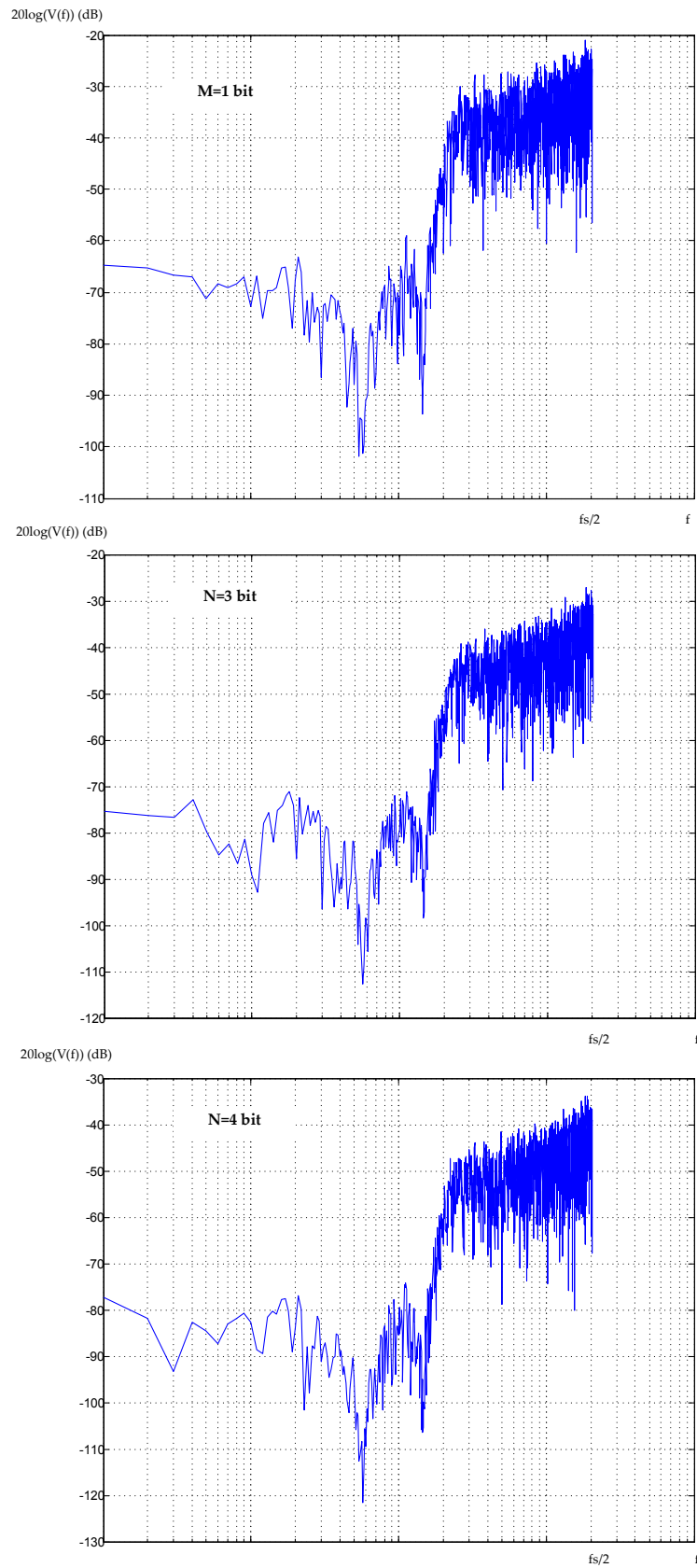


Figura 3.8 Simulaciones temporales del sistema descrito en la figura 3.6 con distintas resoluciones del cuantificador

3.2 Topologías de implementación

Cualquiera que sea el método de diseño elegido ha de pasar por la selección de una arquitectura de implementación. La selección de la arquitectura de implementación se realiza atendiendo a consideraciones de tipo hardware: consumo de potencia y distorsión entre otras. Es difícil de sintetizar en sólo una sección todas las opciones posibles que existen para determinar la arquitectura de implementación en función de todas las consideraciones de tipo hardware que se puedan plantear. En su lugar, esta sección está dedicada a una descripción general de las posibilidades de implementación de $H_1(s)$ y $H_2(s)$. Más adelante, en el capítulo 8, donde se describe un ejemplo de aplicación, se detallan diversas consideraciones hardware y se argumenta la selección de la arquitectura de implementación en función de dichas consideraciones.

3.2.1 Representación mediante ecuaciones de estado.

El bloque formado por $H_1(s)$ y $H_2(s)$ es un sistema lineal con dos entradas y una salida que puede describirse mediante un sistema de ecuaciones de estado. Este sistema se ha resaltado en la figura 3.9. La representación mediante ecuaciones de estado puede escribirse como

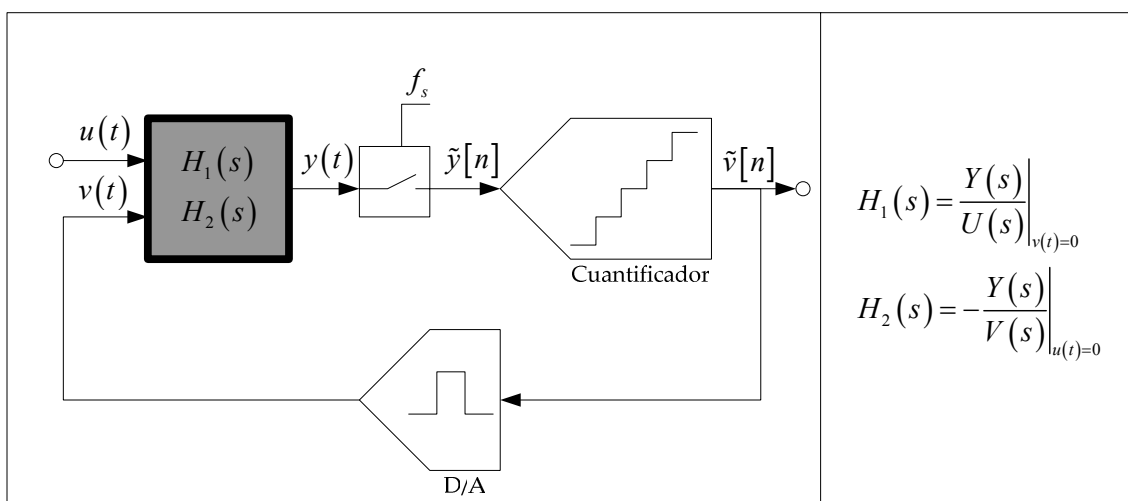


Figura 3.9 Diagrama de bloques de un modulador SDTC

$$\begin{aligned} \begin{pmatrix} \dot{x}_1 \\ \vdots \\ \dot{x}_n \end{pmatrix} (t) &= \overbrace{\begin{pmatrix} A_{11} & \cdots & A_{1n} \\ \vdots & \ddots & \vdots \\ A_{n1} & \cdots & A_{nn} \end{pmatrix}}^A \cdot \begin{pmatrix} x_1 \\ \vdots \\ x_n \end{pmatrix} (t) + \overbrace{\begin{pmatrix} B_{11} & B_{12} \\ \vdots & \vdots \\ B_{n1} & B_{n2} \end{pmatrix}}^B \cdot \begin{pmatrix} u \\ -v \end{pmatrix} (t) \\ y(t) &= \underbrace{\begin{pmatrix} C_1 & \cdots & C_n \end{pmatrix}}_C \cdot \begin{pmatrix} x_1 \\ \vdots \\ x_n \end{pmatrix} (t) + \underbrace{\begin{pmatrix} D_1 & D_2 \end{pmatrix}}_D \cdot \begin{pmatrix} u \\ -v \end{pmatrix} (t) \end{aligned} \quad (3.5)$$

donde n es el orden del modulador y $x_i(t)$ es la variable de estado i .

Esta información puede resumirse de forma esquemática en una matriz extendida de tamaño $(n+1) \cdot (n+2)$

$$ABCD = \left(\begin{array}{c|c} A & B \\ \hline C & D \end{array} \right) = \begin{pmatrix} A_{11} & \cdots & A_{1n} & B_{11} & B_{12} \\ \vdots & \ddots & \vdots & \vdots & \vdots \\ A_{n1} & \cdots & A_{nn} & B_{n1} & B_{n2} \\ \hline C_1 & \cdots & C_n & D_1 & D_2 \end{pmatrix} \quad (3.6)$$

Aplicando la transformada de Laplace sobre (3.5) y operando se obtiene

$$\begin{cases} H_1(s) = C \cdot (sI - A)^{-1} \cdot \begin{pmatrix} B_{11} \\ \vdots \\ B_{n1} \end{pmatrix} + D_1 \\ H_2(s) = C \cdot (sI - A)^{-1} \cdot \begin{pmatrix} B_{12} \\ \vdots \\ B_{n2} \end{pmatrix} + D_2 \end{cases} \quad (3.7)$$

Los autovalores de la matriz A determinan los polos de la función de transferencia $H_2(s)$, o lo que es igual, los ceros de la NTF del sistema ($\tilde{NTF}(z)$).

El sistema descrito por (3.5) se puede implementar con n integradores y un máximo de $n^2 + 3n + 2$ coeficientes. Si las funciones de transferencia son de orden n el sistema queda definido con un mínimo de $3n + 2$ coeficientes distintos [Der90].

Existen infinitas implementaciones que dan lugar a una misma función de transferencia. Cada implementación corresponde a un vector de variables de estado. Se puede definir una matriz de transformación T no singular y de tamaño n por cada par de implementaciones \vec{x} y \vec{w} de la forma

$$\begin{cases} \bar{w}(t) = T \cdot \bar{x}(t) / |T| \neq 0 \\ \dot{\bar{w}}(t) = T \cdot A \cdot T^{-1} \cdot \bar{w}(t) + T \cdot B \cdot \begin{pmatrix} u \\ -v \end{pmatrix}(t) \\ y(t) = C \cdot T^{-1} \cdot \bar{w}(t) + D \cdot \begin{pmatrix} u \\ -v \end{pmatrix}(t) \end{cases} \quad (3.8)$$

La elección del vector de variables de estado dependerá de diversas consideraciones prácticas:

- Especificación de STF y/o filtro anti-aliasing
- Resolución del cuantificador
- Consumo de potencia
- Especificación de distorsión armónica

Cada una de las consideraciones prácticas ha de evaluarse para cada caso concreto dependiendo de la aplicación.

3.2.2 Caso particular: integradores en cascada

Considérese un modulador SDTC paso-bajo. Los autovalores de A , o lo que es igual, los ceros de la NTF, pueden ser todos coincidentes en la frecuencia cero, o bien ser todos distintos, con sus frecuencias repartidas en el ancho de banda del modulador. Esta elección depende del criterio de diseño elegido.

En el caso de que los autovalores A sean todos igual a cero la implementación más sencilla es una cadena de integradores en cascada. Sin embargo, en el caso de que los autovalores de A sean todos distintos de cero y distintos entre sí, hay más opciones de implementación, por ejemplo colocando integradores en paralelo [Der90].

Quizás debido a la herencia de las arquitecturas usadas en los moduladores SDTD todas las arquitecturas de moduladores SDTC publicadas hasta la fecha están basadas en colocar integradores en cascada. La ventaja principal de este tipo de arquitecturas es la correspondencia del hardware con las ecuaciones de estado, siempre y cuando se identifiquen las salidas de los integradores como variables de estado. El inconveniente fundamental es que la distorsión de las primeras etapas tiene gran

influencia en la señal de salida del modulador. No obstante pueden plantarse cuantas arquitecturas se conocen en la actualidad para implementar filtros en TC. El interés en usar una de estas arquitecturas nuevas, frente a las basadas en integradores en cascada, puede justificarse en el intento de ahorrar potencia, simplificar el proceso de diseño y/o conformar según la NTF algún efecto no deseado para disminuir su impacto (tal como la distorsión).

Fijándonos en las topologías basadas en usar una cascada de integradores se puede obtener una familia de arquitecturas como la mostrada en la figura 3.10. Dentro de esta familia pueden encajar cualquier $H_1(s)$ y $H_2(s)$ que se diseñen. El único matiz es que en el caso de que los autovalores de A sean distintos de cero inevitablemente han de usarse realimentaciones locales entre integradores [Der90].

Consideraremos que los autovalores A son o bien cero, o bien complejos conjugados imaginarios puros. Un sistema cuyos polos son imaginarios puros es un oscilador. Dos integradores de ganancia c_1 y c_2 conectados en cascada y realimentados negativamente mediante una ganancia g , forman un oscilador que resuena a la frecuencia dada por $\sqrt{c_1 \cdot c_2 \cdot g}$

La matriz extendida de estado para esta familia se define atendiendo a tres casos: orden par, orden impar con primera etapa resonadora ($1R$), orden impar con primera etapa integradora ($1I$). Los casos en los que no se necesiten resonadores, esto es, cuando los autovalores de A sean todos igual a cero, son casos particulares de los anteriores.

$$ABCD_{n \text{ par}} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & 0 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & & \\ \vdots & & \ddots & 0 & & \\ 0 & \cdots & c_n & -g_{(n/2)} \cdot c_{(n-1)} & b_n \cdot c_n & a_n \cdot c_n \\ \hline d_1 & \cdots & & d_n & b_{(n+1)} & fbe \end{array} \right) \quad (3.9)$$

$\{$ n par
 $\{$ n impar primera etapa resonadora
 $\{$ n impar primera etapa integradora

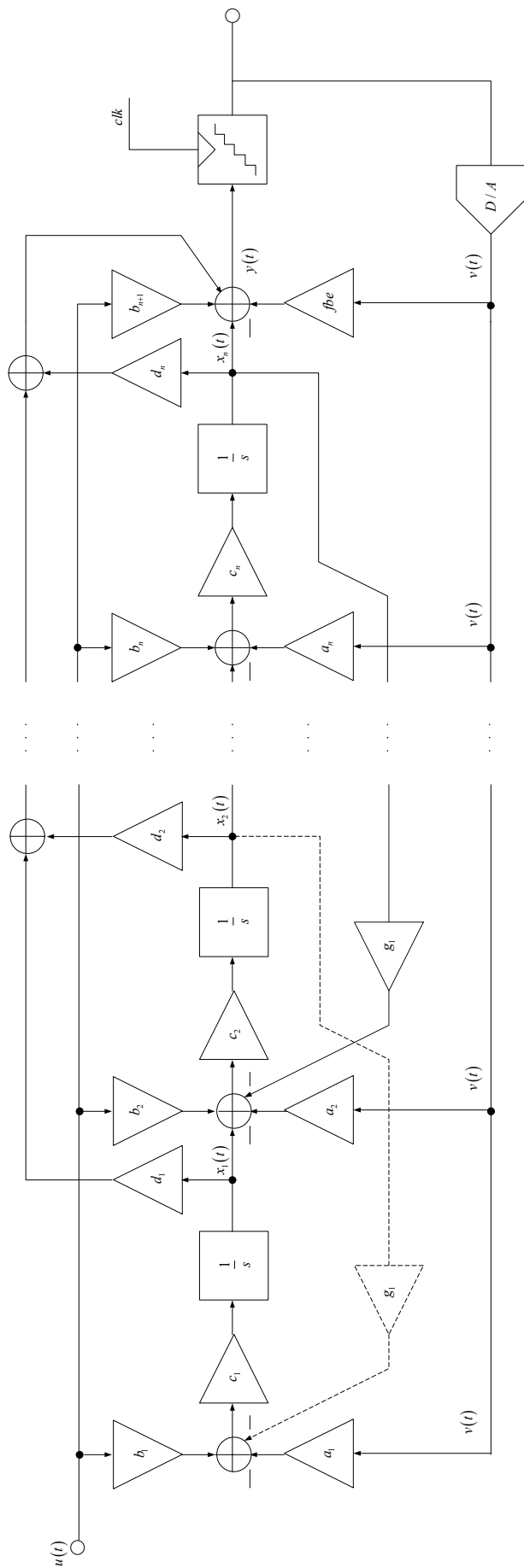


Figura 3.10 Arquitectura genérica de un modulador SDTC usando integradores en cascada

$$ABCD_{n \text{ impar}}^{1R} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & 0 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & 0 & 0 \\ 0 & \cdots & & c_n & 0 & b_n \cdot c_n \\ \hline d_1 & & & & d_n & b_{(n+1)} \quad fbe \end{array} \right) \quad (3.10)$$

$$ABCD_{n \text{ impar}}^{II} = \left(\begin{array}{cccc|cc} 0 & 0 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & -g_1 \cdot c_2 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & -g_{(n-1)/2} \cdot c_{(n-1)} & 0 \\ 0 & \cdots & & c_n & 0 & b_n \cdot c_n \\ \hline d_1 & & & & d_n & b_{(n+1)} \quad fbe \end{array} \right) \quad (3.11)$$

Obsérvese en la figura 3.10 que se ha incluido un solo convertidor D/A en el camino de realimentación para simplificar el modelo de la familia y su representación. En la práctica habrá un convertidor D/A por cada coeficiente a_i y fbe , cada uno con su ganancia correspondiente.

Los coeficientes b_i sólo tienen influencia en $H_1(s)$, y por tanto sólo influyen en la STF del modulador. Generalmente ayudan a disminuir la distorsión, ya que el rango dinámico de las variables de estado se ve reducido. El caso particular $b_i = a_i$ con $b_{n+1} = 1$ da lugar a una STF unidad. El resto de coeficientes tienen influencia tanto en la NTF como en la STF del modulador. Lo habitual es implementar los ceros de $H_2(s)$ bien con los coeficientes a_i o bien con los d_i , aunque se pueden usar ambos para aumentar los grados de libertad del sistema y, por ejemplo, fijar una STF de relativa complejidad.

En el capítulo 7 se describen algunos casos particulares de esta familia de arquitecturas. Obsérvese en cualquier caso que esta familia de arquitecturas no da lugar a ninguna de las formas canónicas de representación de los sistemas de ecuaciones de estado, a saber, forma canónica controlable, forma canónica observable, forma diagonal y forma de Jordan [Oga95], [Mor03].

3.3 Métodos de simulación. Herramientas CAD.

En esta sección se resumen las principales herramientas de diseño y simulación, principalmente a nivel de sistema, específicas para moduladores SD y en particular, para moduladores SDTC. Se han excluido las herramientas habituales en el diseño y simulación de circuitos electrónicos, tales como Spice, por considerarse comunes a cualquier circuito de señal mixta.

La herramienta [Sch03] es la más extendida y referenciada dentro del campo de moduladores sigma-delta. Más que una herramienta es una biblioteca de funciones para Matlab dedicadas al diseño y simulación de moduladores SDTD. Algunas funciones están escritas en C y luego compiladas para agilizar su ejecución. La biblioteca incluye funciones que permiten seleccionar una arquitectura de entre las descritas en [Ada97b] o bien usar el principio de la respuesta invariante al impulso para configurar una arquitectura en tiempo continuo bajo ciertas restricciones. Este último caso sólo es aplicable a moduladores paso-banda cuyos resonadores se implementen con bobinas y condensadores, por lo que queda fuera del ámbito de esta tesis doctoral.

El problema común a todas las herramientas de diseño de moduladores sigma-delta es que se necesita una simulación temporal del sistema para verificar la estabilidad y caracterizar el sistema incluso aunque la primera parte del diseño esté apoyada en un modelo lineal. En el caso de los moduladores SDTD el tiempo de simulación es proporcional al orden del sistema y el número de muestras a simular ya que se trata de resolver un sistema de ecuaciones en diferencias. Sin embargo en el caso de moduladores SDTC el simulador debe resolver numéricamente un sistema de ecuaciones diferenciales, para lo que necesita emplear un paso variable. En las transiciones abruptas de señal, como los flancos de reloj, este paso debe ser muy pequeño y esto ralentiza la simulación. Dependiendo del número de efectos que se quieran simular las simulaciones pueden ser muy largas.

Incluso en la caracterización de moduladores SDTD ocurre algo similar en cuanto se intenta caracterizar aspectos relacionados con el circuito que implementa el

modulador, como el ancho de banda de los amplificadores operacionales o el error de fase del reloj. En este caso particular, el de los moduladores SDTD, [Mal03] resuelve el problema modelando todos los efectos a nivel de sistema, de modo que no es necesario usar simuladores de circuitos tipo Spice.

En el caso de los moduladores SDTC una posible solución para agilizar las simulaciones es programar un modelo de simulación en C y compilarlo, con lo que se obtiene un beneficio importante en comparación con el uso de Simulink (integrado en Matlab) o un simulador tipo Spice. El problema de esta aproximación es que el modelo es muy poco flexible si no se hace de forma adecuada. Para añadir un bloque al modelo puede ser necesario rehacer el modelo completo. Sin embargo, con esta idea subyacente y Simulink, pueden modelarse ciertos bloques ampliamente utilizados como amplificadores operacionales, muestreadores y cuantificadores entre otros [Med95], [Rui03]. Cada bloque tienen una descripción en C de sus ecuaciones de estado. Simulink aporta el motor solucionador de las ecuaciones diferenciales que se derivan de conectar unos bloques con otros. Esta solución es bastante eficiente como se describe en [Rui03] aunque requiere de una amplia biblioteca de bloques con un número alto de efectos modelados.

Otra solución para agilizar los tiempos de simulación es usar un modelo discreto. Éste ha sido el propósito de [Che98], [Bro90] y [Hor90]. La dificultad de esta solución es el modelado de ciertas no idealidades, como por ejemplo la incertidumbre del instante de muestreo, aunque es el método que produce resultados de simulación más cortos. Como solución intermedia se encuentra el simulador comportamental descrito en [Fran02].

Capítulo 4

Análisis y modelado de efectos lineales en los moduladores SDTC

En el proceso de diseño de un modulador SDTC es importante hacer un estudio de sus no idealidades desde las primeras etapas del diseño.

En este capítulo se han estudiado dos efectos lineales de relevancia: el ancho de banda finito en los elementos activos del circuito y el retardo de bucle en exceso. En el primer caso se ofrece una propuesta para especificar el ancho de banda de los amplificadores operacionales que se usen para implementar los integradores del modulador, así como un modelo de simulación de conducta. Si se usan otro tipo de elementos activos la técnica de análisis empleada es extensible a dichos elementos aunque no se aporte un resultado concreto para ellos. Para el retardo de bucle en exceso se ofrece un modelo de análisis que posibilita la metodología de diseño propuesta en el capítulo 7 y un resumen de los métodos de compensación encontrados en la literatura técnica.

4.1 Ancho de banda de los elementos activos.

Los moduladores en TC usan habitualmente una estructura basada en una cascada de integradores como ya se ha descrito en el capítulo anterior. Las técnicas de diseño de integradores en TC han sido ampliamente estudiadas y divulgadas típicamente con el objeto de construir filtros. Las topologías de integradores más

comúnmente empleadas en el diseño de moduladores en TC se pueden dividir en dos categorías:

- Topologías en bucle abierto. Se basan en el uso de un transconductor como elemento activo.
- Topologías realimentadas. Típicamente emplean un amplificador operacional como elemento activo, o bien un amplificador operacional de transconductancia.

En ambos casos es necesario especificar los requisitos de los elementos activos en función de la aplicación. Esta sección se centra en analizar los requisitos lineales de dichos elementos; ganancia y ancho de banda. Los requisitos de distorsión se analizan en el siguiente capítulo.

La figura 4.1 muestra dos posibles implementaciones de una etapa integradora activa. Ambas se muestran con un esquema no diferencial. No obstante el análisis que se detalla a continuación es extensible a los esquemas diferenciales correspondientes.

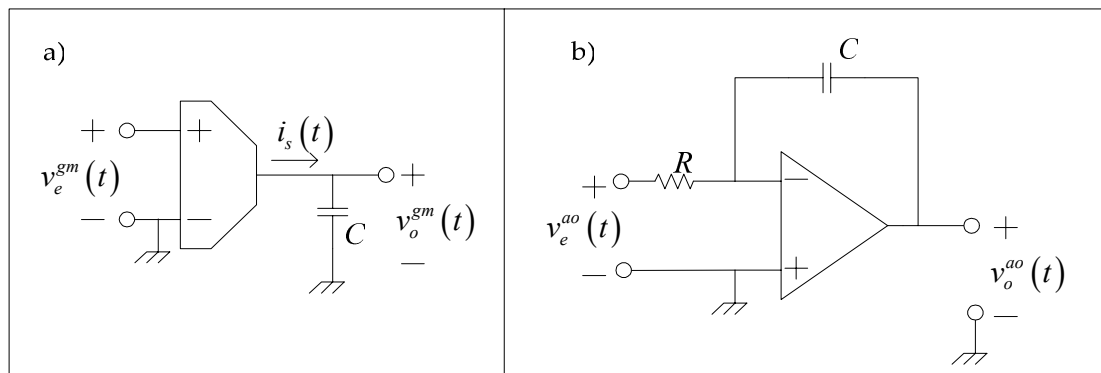


Figura 4.1 Circuitos integradores. Los elementos activos usados son a) una transconductancia y b) un amplificador operacional

La implementación de la figura 4.1.a, Gm-C de aquí en adelante, tiene como función de transferencia en el dominio de Laplace

$$H_{ii}^{gm}(s) = \frac{V_s^{gm}(s)}{V_e^{gm}(s)} = \frac{I_s(s)}{s \cdot C} = \frac{G_m}{C} \cdot \frac{1}{s} = \frac{\omega_{ti}^{gm}}{s} \quad (4.1)$$

donde ω_{ti}^{gm} es la frecuencia a ganancia unidad expresada en rad/s del integrador así implementado.

De manera análoga la implementación de la figura 4.1.b, RC-AO de aquí en adelante, tiene como función de transferencia

$$H_{ii}^{ao}(s) = \frac{V_s^{ao}(s)}{V_s^{ao}(s)} = -\frac{1}{R \cdot C} \cdot \frac{1}{s} = -\frac{\omega_{ii}^{ao}}{s} \quad (4.2)$$

donde ω_{ii}^{ao} es la frecuencia a ganancia unidad expresada en rad/s del integrador así implementado.

4.1.1 Análisis de un integrador Gm-C

Los integradores Gm-C se basan en una topología en bucle abierto. La figura 4.2 muestra una posible implementación siguiendo un esquema diferencial. El transconductor es una fuente de corriente controlada por tensión. Atendiendo a (4.1) dicha fuente debe cumplir con los siguientes requisitos:

- impedancias de entrada y salida infinitas
- distorsión por debajo de un umbral

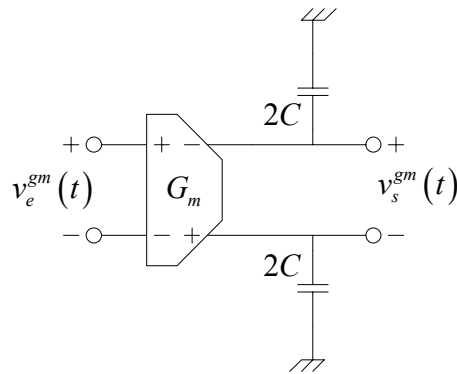


Figura 4.2 Integrador Gm-C diferencial

El comportamiento en alta frecuencia y la ganancia a baja frecuencia dependen del circuito concreto que se escoja para el transconductor. No obstante, si se considera el modelo de primer orden para la transconductancia mostrado en (4.3), la función de transferencia del integrador puede obtenerse de forma inmediata como (4.4)

$$Gm(s) = \frac{Gm_o}{1 + s/\omega_o} \quad (4.3)$$

$$\tilde{H}_{ii}^{gm}(s) = \frac{Gm_o}{C} \cdot \frac{1}{s \cdot \left(1 + s/\omega_o\right)} = \frac{\omega_{ii}^{gm}}{s} \cdot \frac{\omega_o}{s + \omega_o} \quad (4.4)$$

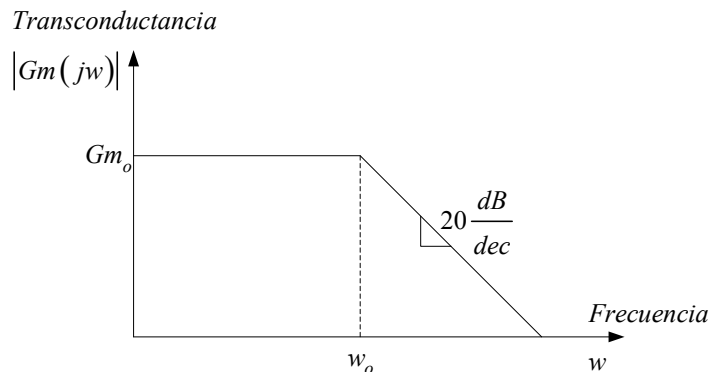


Figura 4.3 Modelo de primer orden para una transconductancia

La función de transferencia obtenida tiene una frecuencia a ganancia unidad ligeramente distinta de la del integrador ideal ω_{ii}^{gm} . No obstante esta diferencia puede considerarse despreciable si se emplea un transductor con una ω_o 3 ó 4 veces superior a ω_{ii}^{gm} .

Las capacidades parásitas tienen gran influencia en este tipo de diseños modificando directamente la frecuencia a ganancia unidad. En este caso se produce un error en la ganancia del integrador. Dicho Error de Ganancia (EG) viene dado por (4.6)

$$\hat{\omega}_{ii}^{gm} = \frac{Gm}{C + C_p} \quad (4.5)$$

$$EG^{gm} = \frac{\hat{\omega}_{ii}^{gm}}{\omega_{ii}^{gm}} = \frac{C}{C + C_p} \quad (4.6)$$

4.1.2 Análisis de un integrador RC-AO

La figura 4.4 muestra el modelo clásico de primer orden para un amplificador operacional. La función de transferencia en el dominio de Laplace de este modelo viene dada por

$$\frac{V_s(s)}{V_e(s)} = A_v \cdot \frac{1}{1 + s \cdot R_o \cdot C_o} = A_v \cdot \frac{1}{1 + s/\omega_o} \quad (4.7)$$

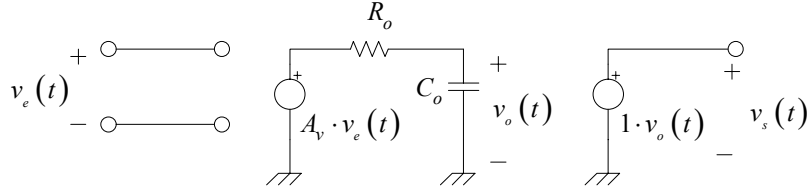


Figura 4.4 Modelo de primer orden para el amplificador operacional de la figura 4.1.a

Si se usa este modelo para analizar el circuito de la figura 4.1.b se puede obtener la nueva función de transferencia del integrador, que viene dada por

$$\tilde{H}_{ii}^{ao}(s) = -\frac{A_v \cdot \omega_o \cdot \omega_{ii}^{ao}}{s^2 + s \cdot [\omega_{ii}^{ao} + \omega_o \cdot (A_v + 1)] + \omega_o \cdot \omega_{ii}^{ao}} \quad (4.8)$$

$\tilde{H}_{ii}^{ao}(s)$ tiene dos polos reales s_1 y s_2 . Ambos polos son reales debido a que el discriminante Δ dado por (4.9) es siempre positivo.

$$\begin{aligned} \Delta &= [\omega_{ii}^{ao} + \omega_o \cdot (A_v + 1)]^2 - 4 \cdot \omega_o \cdot \omega_{ii}^{ao} = \\ &= (\omega_{ii}^{ao})^2 + (\omega_o)^2 \cdot (A_v + 1)^2 + 2 \cdot (A_v - 1) \cdot \omega_o \cdot \omega_{ii}^{ao} > 0 \end{aligned} \quad (4.9)$$

$$s_{1,2} = \frac{-[\omega_{ii}^{ao} + \omega_o \cdot (A_v + 1)] \pm \sqrt{\Delta}}{2} \quad (4.10)$$

Si se cumple que

$$A_v \gg 1 \quad (4.11)$$

Entonces $A_v + 1 \approx A_v - 1 \approx A_v$, y

$$\Delta \approx (\omega_{ii}^{ao} + A_v \cdot \omega_o)^2 \quad (4.12)$$

$$\left\{ \begin{array}{l} s_1 \approx 0 \\ s_2 \approx -(\omega_{ii}^{ao} + A_v \cdot \omega_o) \end{array} \right\} \quad (4.13)$$

$$\tilde{H}_{ii}^{ao}(s) \approx -\frac{\omega_{ii}^{ao}}{s} \cdot \frac{A_v \cdot \omega_o}{s + (\omega_{ii}^{ao} + A_v \cdot \omega_o)} \quad (4.14)$$

La función de transferencia (4.14) es válida para efectuar un análisis simplificado del efecto que el ancho de banda finito del amplificador operacional tiene sobre el funcionamiento del integrador. Este análisis no es aplicable a bajas frecuencias, ya que se ha supuesto una ganancia a bajas frecuencias (A_v) muy elevada (Ver (4.11)).

El amplificador operacional se suele diseñar de forma que su producto ganancia por ancho de banda es un múltiplo de la ganancia del integrador, tal y como se muestra en (4.15)

$$A_v \cdot \omega_o = n \cdot \omega_{ii}^{ao} \quad , n \geq 1 \quad (4.15)$$

Usando (4.15) se puede obtener la frecuencia a ganancia unidad del integrador, a través de la expresión (4.14).

$$\frac{\tilde{\omega}_{ii}^{ao}}{\omega_{ii}^{ao}} = \sqrt{\frac{-(n+1)^2 + \sqrt{(n+1)^4 + 4 \cdot n^2}}{2}} \quad (4.16)$$

Obsérvese que

$$\lim_{n \rightarrow \infty} \frac{\tilde{\omega}_{ii}^{ao}}{\omega_{ii}^{ao}} = \lim_{n \rightarrow \infty} \sqrt{\frac{-(n+1)^2 + \sqrt{(n+1)^4 + 4 \cdot n^2}}{2}} = 1 \quad (4.17)$$

Es posible obtener una expresión más simplificada de la nueva frecuencia a ganancia unidad $\tilde{\omega}_{ii}^{ao}$ considerando la aproximación asintótica del módulo de (4.14). La frecuencia del segundo polo se encuentra según (4.13) por encima de la frecuencia a ganancia unidad ω_{ii}^{ao} . De este modo la aproximación asintótica del módulo del integrador viene dada por (4.19) para frecuencias que cumplan (4.18).

$$w \ll \omega_{ii}^{ao} + A_v \cdot \omega_o \quad (4.18)$$

$$\left| \tilde{H}_{ii}^{ao}(jw) \right| \approx \frac{A_v \cdot \omega_o}{\omega_{ii}^{ao} + A_v \cdot \omega_o} \cdot \left| \frac{\omega_{ii}^{ao}}{jw} \right| = \frac{n}{n+1} \cdot \left| \frac{\omega_{ii}^{ao}}{jw} \right| \quad (4.19)$$

Usando (4.15), se puede entonces obtener a partir de (4.19) la ganancia a frecuencia unidad.

$$\frac{\tilde{\omega}_i^{ao}}{\omega_i^{ao}} \approx \frac{n}{n+1} \quad (4.20)$$

La expresión (4.20) permite describir (4.14) de la forma

$$\tilde{H}_i^{ao}(s) \approx -\frac{\omega_i^{ao}}{s} \cdot \frac{n}{n+1} \cdot \frac{1}{1 + \frac{s}{\omega_i^{ao} + A_v \cdot \omega_o}} \quad (4.21)$$

Lo que dista la expresión (4.20) de la unidad puede considerarse como un error de ganancia. Dicha expresión ha sido evaluada para valores pequeños de n . La tabla 4.1 y la figura 4.5 muestran los resultados expresados en porcentaje. A medida que n aumenta, la expresión (4.20) se aproxima más al valor verdadero del error de ganancia. A partir de $n = 3$, la reducción del error de ganancia es cada vez menor. Por tanto, será menos interesante invertir consumo de potencia en un amplificador con mayor ancho de banda.

La ganancia de cada uno de los integradores del sistema depende de la topología empleada y del rango dinámico que se desee establecer en las variables de estado. Como primera aproximación, se puede considerar que la ganancia de cada integrador es la frecuencia de muestreo o un múltiplo de la misma.

Supongamos que se usa una topología de implementación perteneciente a la familia descrita en la sección 3.2.2. Si los coeficientes de prealimentación d_i son distintos de cero y los coeficientes de realimentación a_i son cero para $i \geq 2$, la dinámica del sistema suele obligar a que la ganancia del primer integrador sea más alta que las demás [Nor97]. Si la ganancia del primer integrador debe ser más alta, las restricciones de diseño para el amplificador operacional de este integrador son distintas a las restricciones de diseño para los amplificadores operacionales del resto de integradores. Una estrategia de diseño puede consistir en diseñar amplificadores distintos para cada una de las etapas integradoras, optimizando el consumo de potencia en cada integrador.

Tabla 4.1 Tabla comparativa del cálculo del error de ganancia en función de la condición de diseño empleada en el amplificador operacional (n).

n	$1 - \frac{\tilde{\omega}_{ti}^{ao}}{\omega_{ti}^{ao}} (\%)$ Según (4.16)	$1 - \frac{n}{n+1} (\%)$ Según (4.20)
1	51,4	50,0
2	34,9	33,3
3	26,2	25,0
4	21,0	20,0
5	17,4	16,7
6	14,9	14,3
7	13,0	12,5
8	11,5	11,1
9	10,4	10,0
10	9,4	9,1

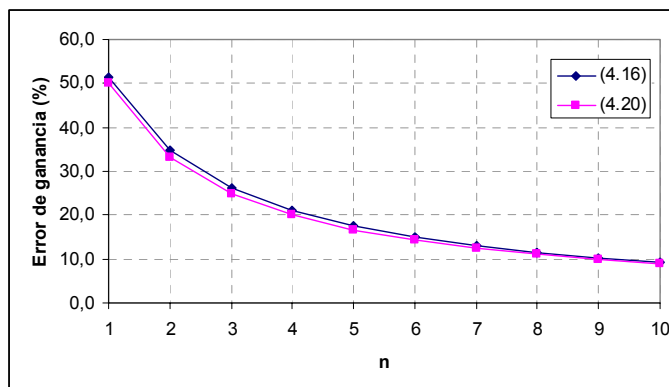


Figura 4.5 Gráfica comparativa del cálculo del error de ganancia en función de la condición de diseño empleada en el amplificador operacional (n).

4.1.2.1 Influencia de las capacidades parásitas

Las capacidades parásitas del amplificador operacional pueden variar la ganancia del integrador. Para determinar su influencia considérese la figura 4.6, donde la capacidad equivalente de las capacidades parásitas del amplificador se ha referido a la entrada y está representada mediante el condensador equivalente C_p .

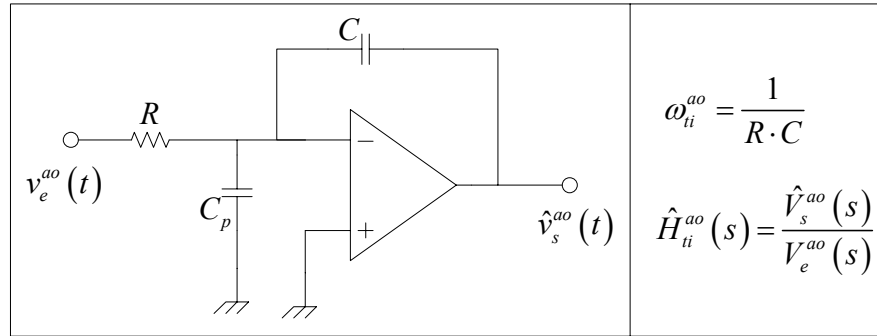


Figura 4.6 Capacidad parásita equivalente referida a la entrada del amplificador

Considerando el modelo de amplificador operacional descrito en (4.7) la función de transferencia del integrador representado en la figura 4.6 viene dada por (4.22).

$$\hat{H}_{ii}^{ao}(s) = -\frac{A_v \cdot \omega_o \cdot \omega_{ii}^{ao} \cdot \frac{C}{C+C_p}}{s^2 + s \cdot \left[(\omega_{ii}^{ao} + \omega_o \cdot A_v) \cdot \frac{C}{C+C_p} + \omega_o \right] + \omega_o \cdot \omega_{ii}^{ao} \cdot \frac{C}{C+C_p}} \quad (4.22)$$

$\hat{H}_{ii}^{ao}(s)$ tiene dos polos \hat{s}_1 y \hat{s}_2 . Ambos polos son reales si el discriminante $\hat{\Delta}$ es positivo. Atendiendo a la expresión (4.23) resulta que el discriminante es positivo si se cumple (4.24). La condición (4.24) suele cumplirse siempre debido a los requisitos de diseño del amplificador operacional.

$$\begin{aligned} \hat{\Delta} &= \left[(\omega_{ii}^{ao} + \omega_o \cdot A_v) \cdot \frac{C}{C+C_p} + \omega_o \right]^2 - 4 \cdot \omega_o \cdot \omega_{ii}^{ao} \cdot \frac{C}{C+C_p} = \\ &= \left(A_v \cdot \frac{C}{C+C_p} + 1 \right)^2 \cdot (\omega_o)^2 + 2 \cdot \frac{C}{C+C_p} \cdot \left(A_v \cdot \frac{C}{C+C_p} - 1 \right) \cdot \omega_o \cdot \omega_{ii}^{ao} + \\ &+ \left(\frac{C}{C+C_p} \right)^2 \cdot (\omega_{ii}^{ao})^2 \end{aligned} \quad (4.23)$$

$$A_v > \frac{C + C_p}{C} \quad (4.24)$$

Para el análisis que sigue a continuación se ha tomado como cierta dicha condición.

$$\hat{s}_{1,2} = \frac{- \left[\omega_{ii}^{ao} \cdot \frac{C}{C + C_p} + \omega_o \cdot \left(A_v \cdot \frac{C}{C + C_p} + 1 \right) \right] \pm \sqrt{\Delta}}{2} \quad (4.25)$$

Si se cumple que

$$\begin{cases} A_v \gg 1 \\ C_p < C \end{cases} \quad (4.26)$$

Entonces $A_v \cdot \frac{C}{C + C_p} + 1 \approx A_v \cdot \frac{C}{C + C_p} - 1 \approx A_v \cdot \frac{C}{C + C_p}$, y

$$\hat{\Delta} \approx \left(\omega_{ii}^{ao} + A_v \cdot \omega_o \right)^2 \cdot \left(\frac{C}{C + C_p} \right)^2 \quad (4.27)$$

$$\begin{cases} \hat{s}_1 \approx 0 \\ \hat{s}_2 \approx - \frac{C}{C + C_p} \cdot \left(\omega_{ii}^{ao} + A_v \cdot \omega_o \right) \end{cases} \quad (4.28)$$

$$\hat{H}_{ii}^{ao}(s) \approx - \frac{\omega_{ii}^{ao}}{s} \cdot \frac{A_v \cdot \omega_o \cdot \frac{C}{C + C_p}}{s + \frac{C}{C + C_p} \cdot \left(\omega_{ii}^{ao} + A_v \cdot \omega_o \right)} \quad (4.29)$$

La función de transferencia obtenida es válida para efectuar un análisis simplificado del efecto que el ancho de banda finito del amplificador operacional tiene sobre el funcionamiento del integrador. En cualquier caso no sirve para análisis en frecuencia en torno a cero, al igual que ocurre con el modelo construido en la sección anterior.

El error de ganancia también se ve modificado por las capacidades parásitas. Usando (4.29) y (4.15) se obtiene la nueva frecuencia a ganancia unidad del integrador.

$$\begin{cases} \frac{\hat{\omega}_{ii}^{ao}}{\omega_{ii}^{ao}} = \sqrt{\frac{-r_C^2 \cdot (n+1)^2 + \sqrt{r_C^4 \cdot (n+1)^4 + 4 \cdot r_C^2 \cdot n^2}}{2}} \\ r_C = \frac{C}{C + C_p} \end{cases} \quad (4.30)$$

Obsérvese que de nuevo se cumple

$$\lim_{n \rightarrow \infty} \frac{\hat{\omega}_{ii}^{ao}}{\omega_{ii}^{ao}} = 1 \quad (4.31)$$

En este caso la frecuencia del segundo polo se encontrará por encima de la ganancia ideal del integrador ω_{ii}^{ao} sólo si se cumple la condición

$$C_p < n \cdot C \quad (4.32)$$

Dicha condición se puede establecer como requisito de diseño. Si se cumple, la función de transferencia del integrador puede describirse como

$$\hat{H}_{ii}^{ao}(s) \simeq -\frac{\omega_{ii}^{ao}}{s} \cdot EG^{ao} \cdot \frac{1}{1 + \frac{s}{\frac{C}{C + C_p} \cdot (\omega_{ii}^{ao} + A_v \cdot \omega_o)}} \quad (4.33)$$

y el Error de Ganancia (EG) se puede seguir expresando a través de (4.20), expresión que se reproduce a continuación.

$$EG^{ao} = 1 - \frac{\hat{\omega}_{ii}^{ao}}{\omega_{ii}^{ao}} \simeq 1 - \frac{\tilde{\omega}_{ii}^{ao}}{\omega_{ii}^{ao}} \simeq 1 - \frac{n}{n+1} \quad (4.34)$$

4.1.3 Modelado de un integrador con ancho de banda finito para simulación

Los análisis realizados en las secciones anteriores, tanto para integradores del tipo Gm-C como para integradores del tipo RC-AO, pueden generalizarse en un modelo como el que se muestra en la figura 4.7. El integrador ideal se encuentra seguido de un filtro paso bajo que modela el error de ganancia y el efecto de ancho de banda finito.

En el caso de RC-AO la ganancia finita se puede modelar desplazando ligeramente el polo situado en el origen de frecuencias. El análisis realizado varía ligeramente en lo que respecta a la frecuencia a ganancia unidad de la función de transferencia del integrador. No obstante la ganancia finita de un amplificador operacional suele ser lo suficiente elevada como para considerar despreciable la modificación de la frecuencia a ganancia unidad.

Supongamos que se usa una topología de implementación perteneciente a la familia descrita en la sección 3.2.2 y que todos los ceros de la NTF son cero, lo que corresponde a hacer $g_i = 0$. Cuando los coeficientes de prealimentación d_i son cero y los coeficientes de realimentación a_i son distintos de cero, el segundo polo de cada integrador se puede aproximar por retardos en los caminos de realimentación [Ort04]. En este caso el efecto de ancho de banda finito se suma al de retardo de bucle en exceso, que se analiza en la siguiente sección. Cuando $d_i \neq 0$ y $a_i = 0$ con $i \geq 2$, la aproximación de [Ort04] es aplicable únicamente al primer integrador.

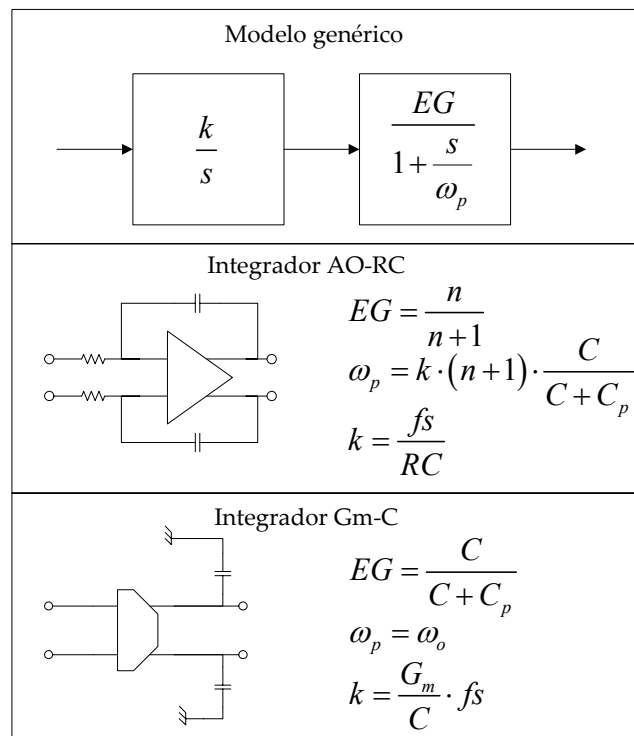


Figura 4.7 Modelo para simulación de un integrador con error de ganancia y ancho de banda finito

Supongamos ahora que los ceros de la NTF se encuentran distribuidos a lo largo del ancho de banda del modulador. En este caso se necesita un resonador por cada par de ceros complejos conjugados. En la familia de arquitecturas de la figura 3.10 los resonadores se implementan con dos integradores en cascada realimentados ($g_i \neq 0$). Dado que el camino de realimentación local tiene una ganancia diferente a la del integrador, el ancho de banda finito actúa de forma diferente en cada camino. Éste fenómeno sólo es cierto para el caso RC-AO. La figura 4.8 muestra un posible modelo de simulación de conducta. Este modelo es una contribución original de esta tesis doctoral.

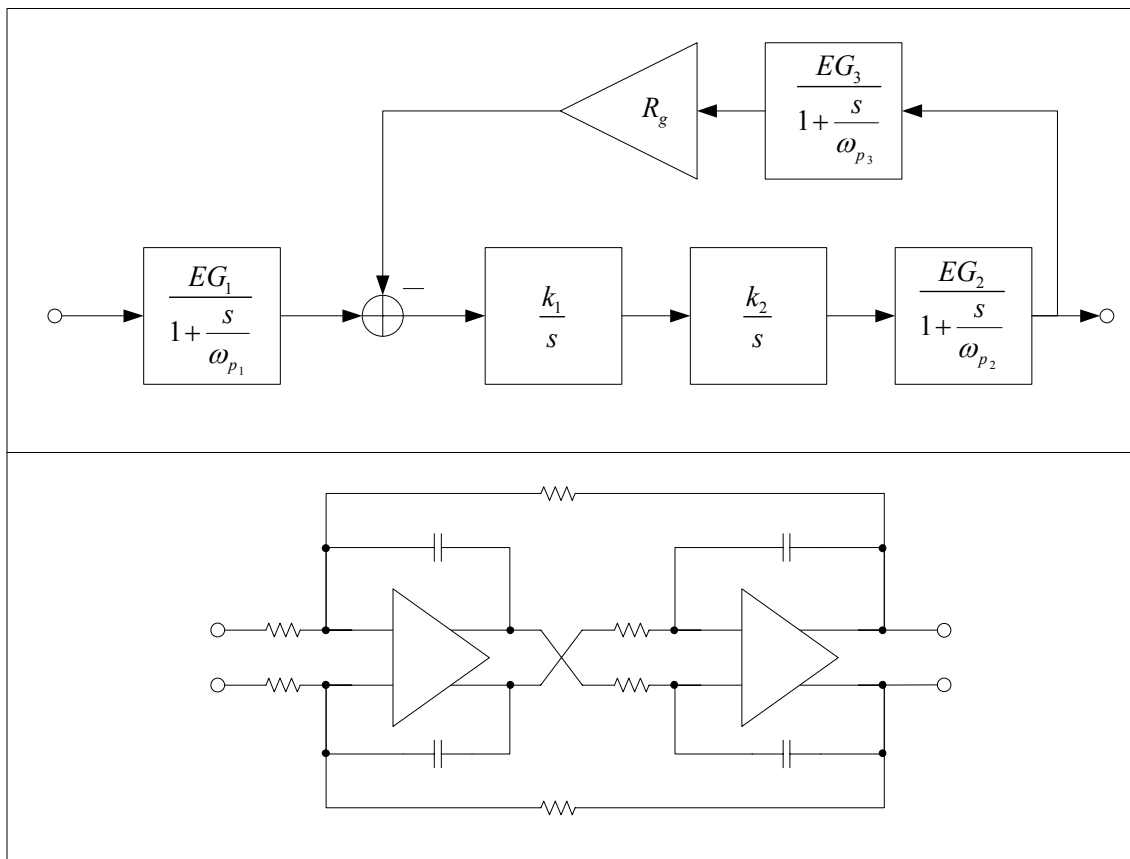


Figura 4.8 Modelo para simulación de un resonador AO-RC con error de ganancia y ancho de banda finito

4.2 Retardo de bucle en exceso

En los moduladores en TC existe un retraso entre el instante de muestreo y el instante en que se actualiza la salida del D/A como consecuencia del muestreo. Considérese el diagrama de bloques de la figura 4.9. El cuantificador está compuesto

de uno o varios comparadores con la salida registrada. Dicha salida controla uno o varios convertidores D/A. Cada elemento de cada D/A está compuesto por una fuente de corriente controlada por tensión. Aunque idealmente la corriente de salida del D/A responde inmediatamente al flanco del reloj de muestreo, en la práctica los transistores de los registros del cuantificador y el D/A no pueden conmutar instantáneamente. Este retardo que se origina en el camino de realimentación se denomina *retardo de bucle en exceso* o ELD (de Excess Loop Delay). En los moduladores en TD no existe un problema análogo por lo que este retardo es característico de los moduladores en TC.

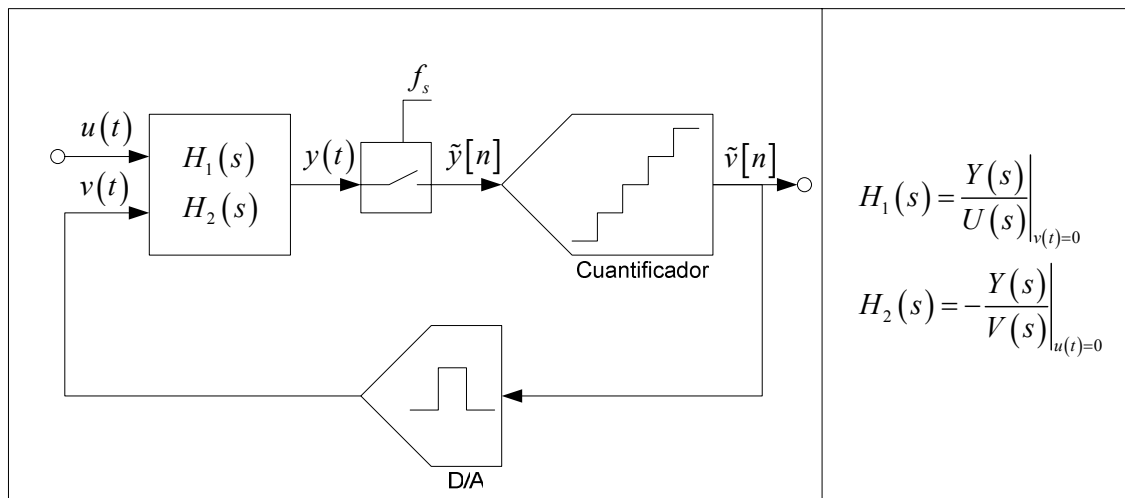


Figura 4.9 Diagrama de bloques de un modulador SDTC

El ELD ha sido ampliamente estudiado por varios investigadores. Una de las contribuciones más detalladas y extensas se puede encontrar en [Che00, capítulo 4], así como referencias a trabajos anteriores.

Todos los estudios y trabajos sobre el efecto del ELD en los moduladores SDTC concluyen en que causa un aumento de la inestabilidad del sistema, y como consecuencia de ello, un decremento de la resolución alcanzable.

En esta sección se pretende modelar y analizar el efecto del ELD sobre moduladores SDTC de baja relación de sobremuestreo. Para el modelado se ha usado el principio de la respuesta invariante al impulso, y para el análisis el lugar de las raíces del sistema discreto equivalente.

Considérese el diagrama de bloques de la figura 4.10 en el que se ha insertado un bloque que modela el ELD en el dominio de Laplace y un conformador de pulsos

que modela un D/A ideal, esto es, que es capaz de conmutar instantáneamente. Asimismo se asume que el cuantificador también es capaz de conmutar instantáneamente. El bloque que modela el ELD se ha colocado tras el conformador de pulsos por la conveniencia de poder modelar su comportamiento en el dominio de Laplace. La figura 4.11 ilustra el comportamiento del D/A más el ELD para un pulso rectangular. El conformador de pulsos viene caracterizado por su respuesta al impulso (4.35), donde se ha asumido un pulso rectangular que ocurre en el instante $t = 0$,

$$p_{\{\alpha,\beta\}}(t) = \begin{cases} 1, & \alpha \leq \frac{t}{T_s} < \beta, \quad 0 \leq \alpha < \beta \leq 1 \\ 0, & \text{resto} \end{cases} \quad (4.35)$$

y cuya transformada de Laplace viene dada por

$$P_{\{\alpha,\beta\}}(s) = \frac{e^{-(\alpha T_s)s} - e^{-(\beta T_s)s}}{s} \quad (4.36)$$

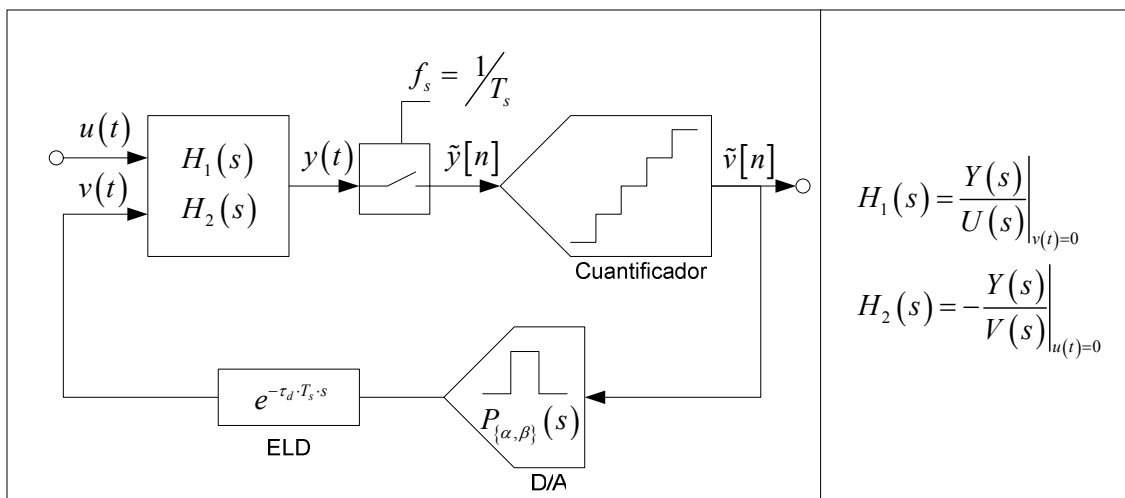


Figura 4.10 Diagrama de bloques extendido de un modulador SDTC

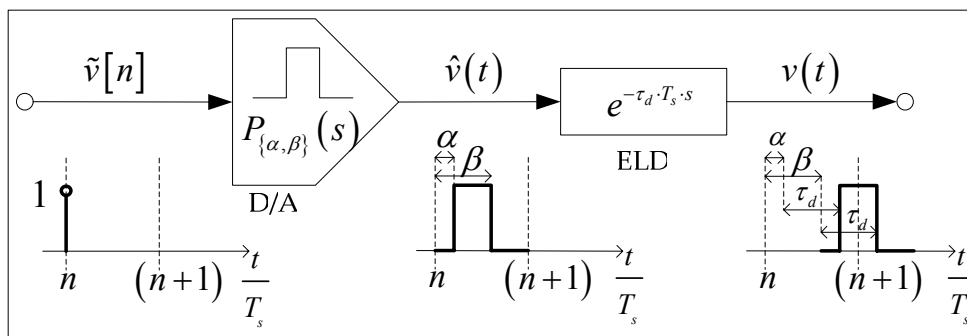


Figura 4.11 Respuesta al impulso del camino de realimentación (D/A y ELD)

Los valores de α y β pueden usarse para modelar el tipo de pulso generado por el D/A, NRZ (de Non-Return-to-Zero), RZ (de Return-to-Zero), etc. Para el caso de un D/A de tipo NRZ $\alpha = 0$ y $\beta = 1$.

El efecto que produce el ELD sobre un modulador SDTC puede analizarse en detalle observando su sistema discreto equivalente. La figura 4.12 muestra el sistema en bucle abierto correspondiente a la figura 4.10 junto a un sistema lineal en TD. Aplicando el principio de la respuesta invariante al impulso sobre ambos sistemas se obtiene que

$$\mathcal{Z}^{-1}\{\tilde{H}_2(z)\} = \mathcal{L}^{-1}\left\{PD_{\{\alpha,\beta,\tau_d\}}(s) \cdot H_2(s)\right\}\Big|_{t=nT_s} \quad (4.37)$$

donde

$$PD_{\{\alpha,\beta,\tau_d\}}(s) = \mathcal{L}\left\{p_{\{\alpha,\beta\}}(t - \tau_d \cdot T_s)\right\} = P_{\{\alpha,\beta\}}(s) \cdot e^{-(\tau_d \cdot T_s)s} \quad (4.38)$$

Esta expresión puede desdoblarse en varios términos, uno por cada muestra en la que el pulso $p_{\{\alpha,\beta\}}(t - \tau_d \cdot T_s)$ se encuentra presente parcial o totalmente. Puesto que $0 \leq \alpha < \beta \leq 1$ dicho pulso sólo puede ocupar dos muestras como máximo. La figura 4.13 ilustra este concepto. Por simplicidad se ha considerado $\tau_d \leq 1$, esto es, un ELD menor o igual que un periodo de muestreo, condición que se cumplirá para la mayoría de las aplicaciones. No obstante el modelo que se presenta a continuación puede extenderse con facilidad si se consideran retardos superiores a un período de muestreo.

Analíticamente el pulso retardado quedará repartido en dos muestras de la forma siguiente

$$PD_{\{\alpha,\beta,\tau_d\}}(s) = P_{\{\alpha',1\}}(s) + P_{\{0,\beta'\}}(s) \cdot e^{-T_s s} \quad (4.39)$$

donde

$$\begin{cases} \alpha' = \alpha + \tau_d \\ \beta' = \beta + \tau_d - 1 \end{cases}$$

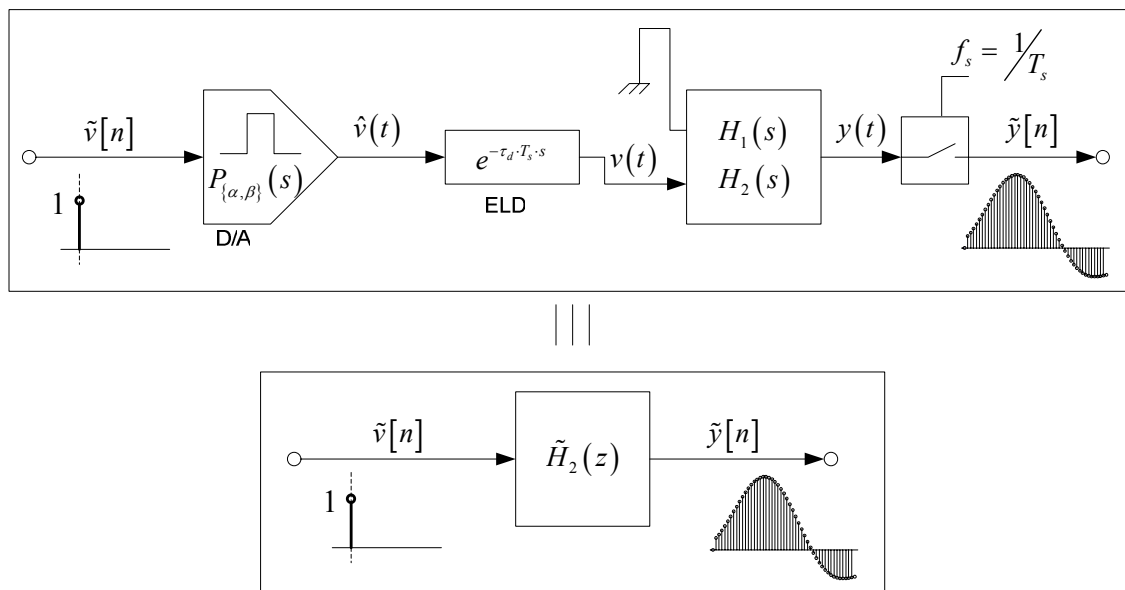


Figura 4.12 Diagrama de bloques de un modulador SDTC en bucle abierto y su equivalente discreto

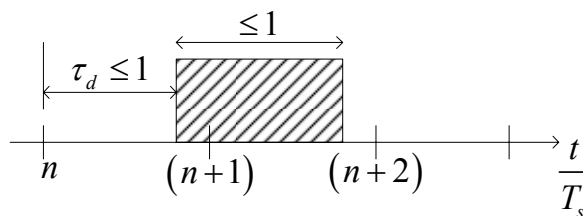


Figura 4.13 Ejemplo de respuesta al impulso de un D/A retardada

El sistema discreto de la figura 4.12 queda entonces compuesto por dos términos.

$$\tilde{H}_{2_{\{\tau_d, \alpha, \beta\}}} (z) = \tilde{H}_{2_{1_{\{\alpha\}}} (z) + z^{-1} \cdot \tilde{H}_{2_{2_{\{\beta\}}} (\beta', z)$$

donde

$$\mathcal{Z}^{-1} \left\{ \tilde{H}_{2_{1_{\{\alpha\}}} (z) \right\} = \mathcal{L}^{-1} \left\{ P_{\{\alpha', 1\}} (s) \cdot H_2 (s) \right\} \Big|_{t=n \cdot T_s} \quad (4.40)$$

$$\mathcal{Z}^{-1} \left\{ \tilde{H}_{2_{2_{\{\beta\}}} (z) \right\} = \mathcal{L}^{-1} \left\{ P_{\{\alpha', 1\}} (s) \cdot H_2 (s) \right\} \Big|_{t=n \cdot T_s}$$

Analizando el sistema linealizado en bucle cerrado puede obtenerse la NTF en TD como

$$N\tilde{T}F(z) = \frac{1}{1 + \tilde{H}_{2_{\{\tau_d, \alpha, \beta\}}} (z)} = \frac{1}{1 + \tilde{H}_{2_{1_{\{\alpha\}}} (z) + z^{-1} \cdot \tilde{H}_{2_{2_{\{\beta\}}} (z)} \quad (4.41)$$

Y sus ceros z_k vienen dados por

$$z_k = \{0, e^{s_k}\} \quad (4.42)$$

donde s_k son los polos del sistema $H_2(s)$.

El cero situado en $z=0$ se debe a que parte del pulso del DAC correspondiente a una muestra invade la muestra siguiente como consecuencia del ELD. Este cero incrementa el orden del modulador afectando su estabilidad pero sin modificar la potencia del ruido de cuantificación en la banda de paso. Los polos de la NTF también se ven modificados como consecuencia del ELD.

La figura 4.15 muestra el lugar de las raíces de $N\tilde{T}F(z)$ para un caso particular. Considérese el modulador de segundo orden mostrado en la figura 4.14 [Can85, Cha90, Che00]. Usando la transformada de la respuesta invariante al impulso (4.37) es posible calcular el sistema en TD equivalente con un D/A de tipo NRZ y un ELD despreciable variable entre 0 y T_s .

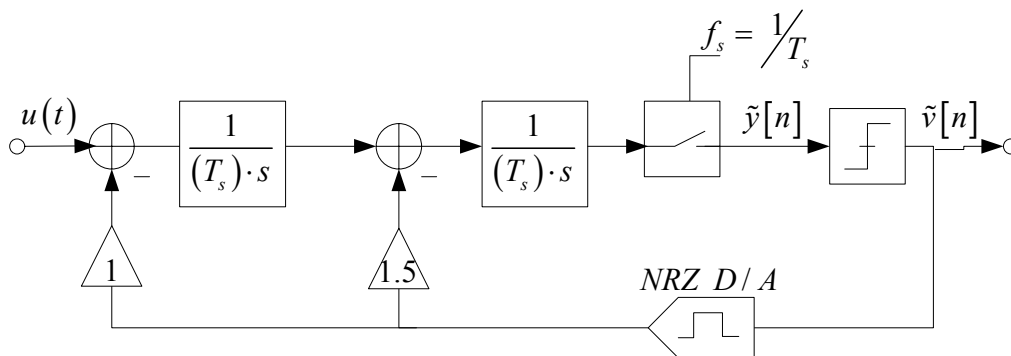


Figura 4.14 Diagrama de bloques del modulador SDTD estándar de segundo orden

$$H_2(s) = \frac{1}{2} \cdot \frac{2 + 3 \cdot (T_s \cdot s)}{(T_s \cdot s)^2} \quad (4.43)$$

Si se construye $N\tilde{T}F(z)$ usando (4.41) para τ_d variable entre 0 y 1 se obtiene el lugar de las raíces representado. Se observa que un ELD por encima del 31% (referido al período de muestreo) provoca que los polos caigan fuera del círculo unidad. Al simular el sistema con una pequeña señal de ruido aleatoria (de distribución uniforme entre ± 1) añadida a la entrada del cuantificador (de un bit) y sin señal de entrada se obtienen ciclos límites en el espectro de salida para un ELD por encima del 52%.

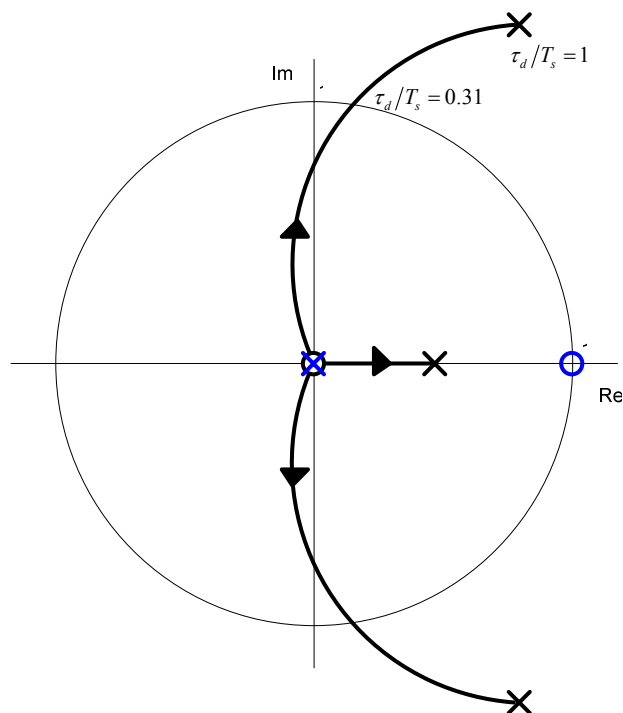


Figura 4.15 Lugar de las raíces de $N\tilde{T}F(z)$ para el caso de (4.43) en función de τ_d

Este análisis lineal proporciona solamente información parcial acerca de la estabilidad ya que la ganancia del cuantificador [Ard87] no ha sido tomada en cuenta. No obstante cabe esperar que a medida que se incremente el número de niveles de cuantificación el análisis lineal se aproxime más al comportamiento real.

La figura 4.16 muestra el lugar de las raíces de $N\tilde{T}F(z)$ para un modulador con el diagrama de bloques de la figura 4.17 y con las funciones de transferencia dadas por (4.44). En este caso se trata de un modulador de tercer orden diseñado inicialmente en TC que usa un cuantificador de 3 bits. Los ceros de la NTF se han repartido en la banda de paso de acuerdo al algoritmo propuesto en [Ada97a], para lo cual se ha escogido una relación de sobremuestreo de 64. En este caso se observa que los polos caen fuera del círculo unidad cuando el ELD es mayor de 46%. Al simular el sistema con una pequeña señal de ruido aleatoria (de distribución uniforme entre $\pm 1/(2^N - 1)$) añadida a la entrada del cuantificador de dos bit ($N = 2$) y sin señal de entrada se obtienen ciclos límites en el espectro de salida para un ELD por encima del 40%. Para un cuantificador de un bit el sistema es incondicionalmente estable, mientras que para $N = 3$ y para $N = 4$ el límite de ELD sigue siendo el 40%.

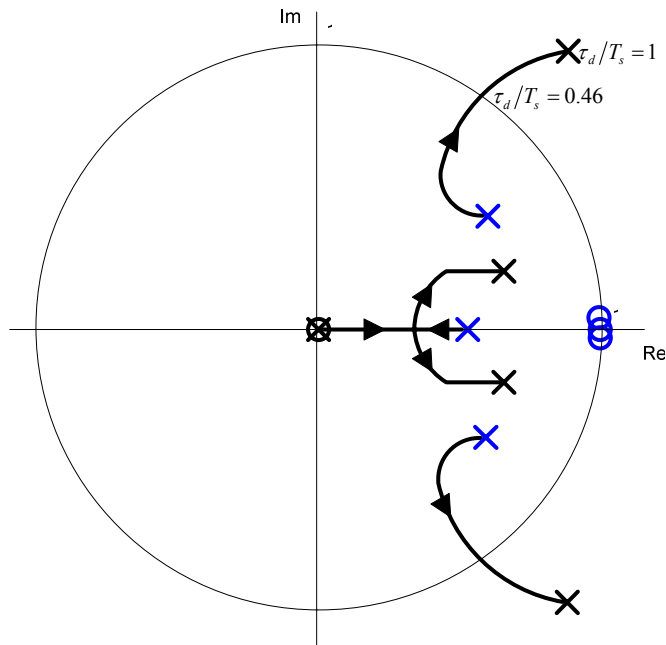


Figura 4.16 Lugar de las raíces de $N\tilde{T}F(z)$ para el caso de la figura 4.17 con las funciones de transferencia (4.44) en función de τ_d

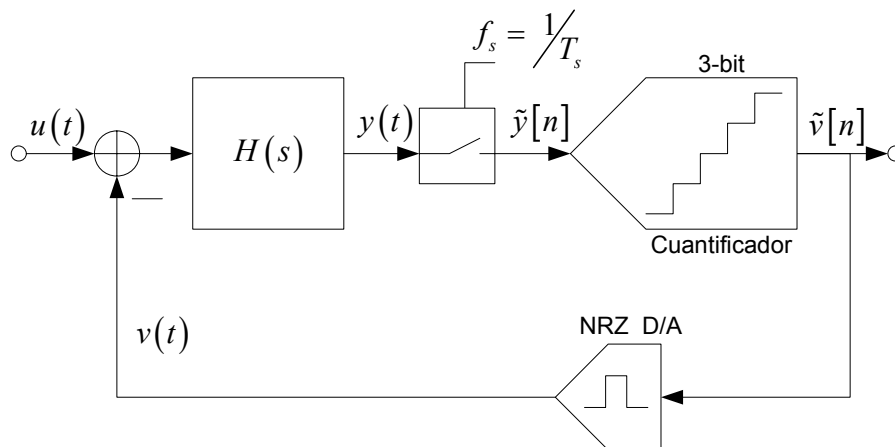


Figura 4.17 Diagrama de bloques de un modulator de ejemplo de tercer orden.

$$\left\{ \begin{array}{l} \text{Relación de sobremuestreo} = 64 \\ H(s) = \frac{1.013(T_s)^2 s^2 + 0.5791(T_s)s + 0.1619}{(T_s)^3 s^3 + 0.0015(T_s)s} \\ P_{\{\alpha, \beta\}}(s) = \frac{1 - e^{-T_s s}}{s} \end{array} \right. \quad (4.44)$$

Este modulator se ha rediseñado para una relación de sobremuestreo de 16. Las funciones de transferencia del modulator vienen dadas por (4.45). El lugar de las

raíces de $N\tilde{T}F(z)$ no varía de forma apreciable, tal y como se muestra en la figura 4.18. Al simular el sistema con una pequeña señal de ruido aleatoria (de distribución uniforme entre $\pm 1/(2^N - 1)$) añadida a la entrada del cuantificador de dos bit ($N = 2$) y sin señal de entrada se obtienen ciclos límites en el espectro de salida para un ELD por encima del 30%. Para un cuantificador de un bit el sistema es incondicionalmente estable, mientras que para $N = 3$ y para $N = 4$ el límite de ELD es 33%.

$$\left\{ \begin{array}{l} \text{Relación de sobremuestreo} = 16 \\ H(s) = \frac{1.012(T_s)^2 s^2 + 0.5653(T_s)s + 0.165}{(T_s)^3 s^3 + 0.0231(T_s)s} \\ P_{\{\alpha,\beta\}}(s) = \frac{1 - e^{-T_s \cdot s}}{s} \end{array} \right. \quad (4.45)$$

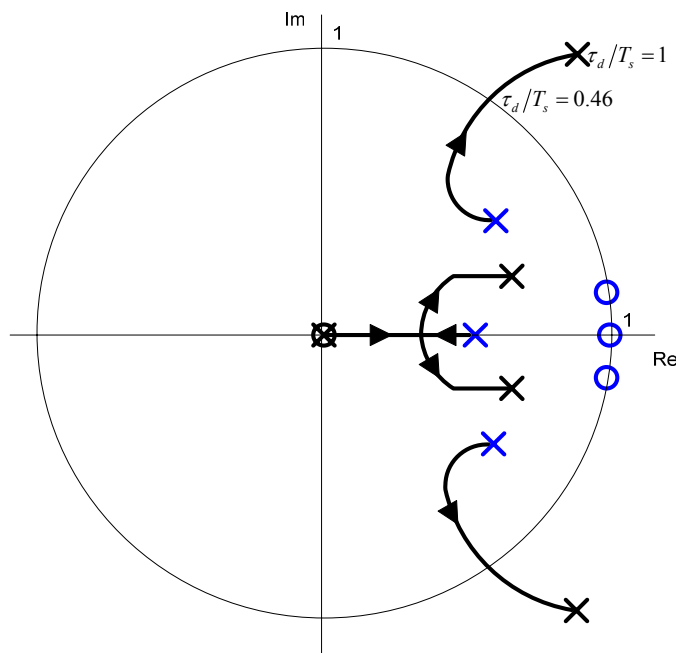


Figura 4.18 Lugar de las raíces de $N\tilde{T}F(z)$ para el caso de la figura 4.17 con las funciones de transferencia (4.45) en función de τ_d

4.2.1 Análisis mediante el margen de fase

De los ejemplos mostrados en las páginas 72 y 73 se puede deducir que el lugar de las raíces sólo nos proporciona una condición suficiente para determinar que el sistema es inestable, pero no es condición necesaria. Es decir, el sistema puede ser inestable aunque el lugar de las raíces no lo prediga.

Además se observa que el sistema de menor relación de sobremuestreo se vuelve inestable para un retardo inferior que el sistema de mayor relación de sobremuestreo, aún a pesar de haberlos diseñado con el mismo criterio y el mismo método

Supongamos que se emplea el margen de fase de $H_{olp}(s) = PD_{\{\alpha, \beta, \tau_d\}}(s) \cdot H_2(s)$ como medida de la sensibilidad del modulador al retardo de bucle en exceso.

Si el convertidor D/A es de tipo NRZ, o lo que es lo mismo, $\alpha = 0$ y $\beta = 1$, entonces

$$H_{olp}(s) = H_2(s) \cdot \frac{1 - e^{-T_s \cdot s}}{s} \cdot e^{-(\tau_d \cdot T_s) \cdot s} \quad (4.46)$$

Y por tanto

$$\begin{cases} |H_{olp}(j\omega)| = |H_2(j\omega)| \cdot \text{sinc}\left(\frac{\omega}{2}\right) \\ \phi\{H_{olp}(j\omega)\} = \phi\{H_2(j\omega)\} - \left(\tau_d + \frac{1}{2}\right) \cdot \omega \\ \omega \in [0, 2\pi] \end{cases} \quad (4.47)$$

donde

$$H_{olp}(j\omega) = \left| H_{olp}(j\omega \cdot T_s) \right|_{\phi\{H_{olp}(j\omega \cdot T_s)\}} \quad (4.48)$$

Parece razonable según estas expresiones que el margen de fase sea un indicador de la sensibilidad del sistema al retardo de bucle en exceso en particular y a cualquier otra variación de fase en general. En concreto para los ejemplos de las

páginas 72 y 73 hay una diferencia de 1 grado en el margen de fase. La diferencia es leve, ya que la diferencia de sensibilidad también era leve. No obstante el de mayor margen de fase es el modulador de mayor relación de sobremuestreo.

La relación entre el margen de fase y la estabilidad del modulador SDTC para bajas relaciones de sobremuestreo es una contribución original de esta tesis doctoral.

4.2.2 Métodos de compensación

El retardo de bucle en exceso produce un aumento de la inestabilidad del sistema. Por este motivo, los diferentes investigadores han buscado algún método de compensación.

Básicamente existen dos técnicas de compensación publicadas en la literatura técnica. La primera de ellas, y la más extendida, consiste en hacer una compensación polo-cero en el dominio discreto [Che00]. Según (4.42) el ELD produce un cero adicional en $N\tilde{T}F(z)$. El objetivo de la compensación es cancelar este cero introduciendo un cero adicional en $H_2(s)$. La implementación más extendida de este cero adicional es añadir un camino de realimentación alrededor del cuantificador [Ben97], [Luh00]. Por este motivo se incluyó en la familia de arquitecturas descrita en el capítulo 3 como un coeficiente aparte: f_{be} . La ventaja de esta implementación es que las no idealidades del convertidor D/A que hay que incluir están conformadas por la NTF del modulador. Teóricamente también es posible implementar este cero adicional con otro camino de realimentación, en otro punto del sistema [Che00], aunque en la práctica esta solución no se usa, pues el convertidor D/A que hay que incluir debe ser más lineal.

El inconveniente de la compensación polo-cero es que puede resultar poco robusta si no se tienen en cuenta las no idealidades del sistema al calcular la transformada de la respuesta invariante al impulso.

La segunda técnica de compensación publicada consiste también en añadir un cero a $H_2(s)$. En este caso, en lugar de buscar la cancelación polo-cero en el dominio discreto, el cero se coloca a la frecuencia fija $f_s/2$ [Luh00]. Esto mejora el

comportamiento del sistema sin perder mucha resolución, aunque si el ELD es muy grande puede resultar insuficiente.

Capítulo 5

Análisis y modelado de los efectos no lineales en los moduladores SDTC

En este capítulo se analizan las diferentes fuentes de distorsión en la salida de un modulador SDTC.

Se ha considerado la distorsión que se genera en los amplificadores operacionales y las transconductancias que forman parte de la etapa de filtrado del modulador, así como la distorsión que se genera en el cuantificador y en el(los) convertidor(es) D/A.

La distorsión se mide en la señal de salida a través de uno o varios de los siguientes parámetros:

- SNDR o SINAD: Cociente de la potencia de la señal de entrada entre la suma de potencias de ruido y distorsión dentro de la banda de interés
- HD_i: Se usa cuando la señal de entrada es un tono, y viene determinado por el cociente de la potencia del armónico *i* entre la potencia de la señal de entrada.
- IM₃: Se usa cuando la señal de entrada está compuesta por dos tonos, y viene determinado por el cociente de la potencia del tercer producto de intermodulación y la potencia de la señal de entrada.

5.1 Análisis de la distorsión en los elementos activos

En esta sección se estudian las principales causas de distorsión para los dos elementos activos que fueron analizadas en el capítulo anterior: integradores RC-AO y Gm-C.

Las etapas de filtrado dentro de los moduladores SDTC, habitualmente integradores en cascada, se componen de elementos activos con topologías de bucle abierto o realimentadas, tal y como se ha descrito en el capítulo anterior. Las fuentes de distorsión dependen de la implementación concreta y la tecnología usada. Dentro de la tecnología CMOS, los principales elementos no lineales que producen distorsión en la señal de salida son:

- Transconductancia g_m de los transistores MOS
- Admitancia de salida g_{ds} de los transistores MOS
- Capacidades fuente-sustrato C_{sb} y drenador-sustrato C_{db} de los transistores MOS
- Resistencia en conducción r_{on} de los transistores MOS usados como interruptores

En el caso de emplear una topología realimentada, como la RC-AO anteriormente descrita, la distorsión generada por los elementos activos se ve atenuada por la ganancia del camino de realimentación o ganancia de lazo [Wam98]. Es por esto que se prefiere una topología de este estilo, típicamente basada en el uso de amplificadores operacionales, cuando existe una fuerte restricción sobre la distorsión. No es necesario que todas las etapas del modulador usen amplificadores operacionales o topologías realimentadas, debido a que cada etapa tiene distinta función de transferencia entre la salida del modulador y la distorsión que genera dicha etapa. Estas funciones de transferencia dependen de la arquitectura elegida para el modulador: sólo integradores, integradores y resonadores, con múltiples realimentaciones, con múltiples prealimentaciones, etc. En las arquitecturas basadas en

integradores en cascada la distorsión generada en la primera etapa suele ser la fuente dominante.

En el caso de las topologías en bucle abierto la distorsión generada se refleja en la salida sin atenuación [Wam98]. Estas topologías, como los integradores Gm-C anteriormente descritos, se prefieren en moduladores de gran ancho de banda pero con requisitos de distorsión moderados. Algunos moduladores usan AOs en las primeras etapas y transconductores en las últimas para combinar baja distorsión y velocidad.

En cualquier caso es habitual emplear circuitos diferenciales ya que doblan la amplitud de salida, tienen menos sensibilidad al ruido circuital y hace que los armónicos pares se anulen. En la práctica los armónicos pares no se anulan completamente debido a la asimetría del circuito.

La distorsión de cualquier elemento activo crece a medida que aumenta la amplitud de la señal de entrada. El caso más simple de elemento activo es un transistor MOS. La figura 5.1 muestra un caso particular típico de dependencia del segundo y tercer armónico (HD2 y HD3 respectivamente) con la amplitud de entrada [Gia03a]. Se observan dos regiones. En la *región de Pequeña Distorsión* la distorsión depende de los parámetros de pequeña señal del transistor. En la *región de Saturación* la excursión de la señal de salida se ve limitada por la tensión de alimentación, lo que contribuye a aumentar la distorsión.

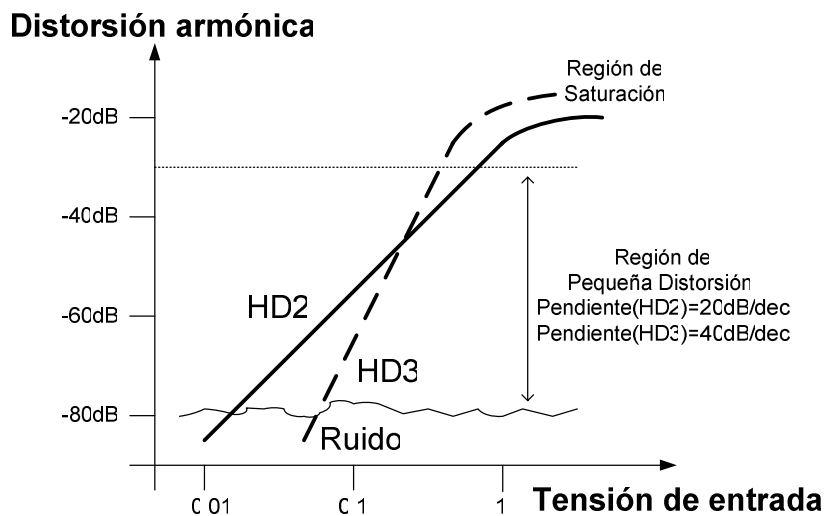


Figura 5.1 Dependencia de los armónicos con la amplitud de entrada en un transistor MOS [Gia03a]

La cantidad de distorsión también depende de la frecuencia de la señal de entrada. Esta dependencia varía a su vez según el elemento activo a considerar, aunque, en líneas generales, la distorsión suele ser mayor a altas frecuencias.

Considérese un transistor MOS trabajando con pequeña señal en la zona de saturación del transistor. El transistor se situará en la *región de Pequeña Distorsión* mostrado en la figura 5.1. En estas circunstancias la componente alterna de la corriente drenador-fuente i_{ds} viene dada en función de las tensiones puerta-fuente v_{gs} , drenador-fuente v_{ds} y fuente-sustrato v_{sb} por

$$\begin{aligned} i_{ds} = & g_m \cdot v_{gs} + k_{2g_m} \cdot v_{gs}^2 + k_{3g_m} \cdot v_{gs}^3 + \dots + \\ & + g_{ds} \cdot v_{ds} + k_{2g_o} \cdot v_{ds}^2 + k_{3g_o} \cdot v_{ds}^3 + \dots - \\ & - g_{mb} \cdot v_{sb} - k_{2g_{mb}} \cdot v_{sb}^2 - k_{3g_{mb}} \cdot v_{sb}^3 - \dots \end{aligned} \quad (5.1)$$

donde g_m , g_{ds} y g_{mb} son los parámetros de pequeña señal del transistor MOS; y los coeficientes k_{ig_x} describen el desarrollo en serie que aproxima el comportamiento no lineal del dispositivo. Estos coeficientes pueden calcularse usando las derivadas parciales de la corriente de drenador respecto a cada una de las tres tensiones de control. El cálculo analítico de estas derivadas parciales puede realizarse solamente para modelos simplificados del transistor, como los modelos de Spice "level1" y "level2". Sin embargo estos modelos proporcionan una estimación de la distorsión muy alejada de la realidad, especialmente en lo que se refiere a la componente debida a la admitancia de salida. Con modelos de mayor orden, como el BSIM3 [BSI99], se obtiene una mejor estimación. Como contrapunto los coeficientes k_{ig_x} han de calcularse por métodos numéricos en estos modelos.

5.1.1 Distorsión en un integrador RC-AO

Considérese el integrador RC-AO de la figura 5.2, donde los componentes pasivos se consideran ideales, de forma que las únicas no linealidades vienen dadas por los dispositivos que integran el amplificador operacional.

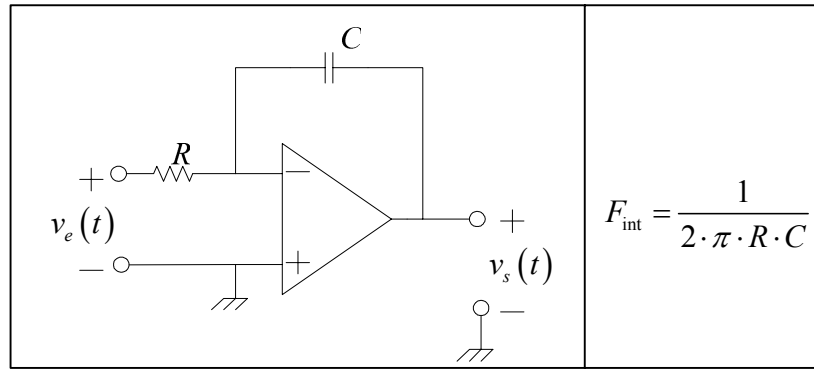


Figura 5.2 Integrador RC-AO

Los integradores RC-AO cumplen las propiedades de los sistemas no lineales realimentados [Wam98]. Cuando un sistema no lineal es realimentado con una ganancia T el segundo y tercer armónico se atenúan aproximadamente $1/T$. La figura 5.3 muestra la función de transferencia asociada al modelo de primer orden de un AO con varias regiones de funcionamiento.

El mejor comportamiento en cuanto a distorsión se refiere se obtiene en la zona denominada *Alta Ganancia de lazo* o (*High Loop-Gain Region*), donde la distorsión provocada por el AO se atenúa al máximo. Para frecuencias inferiores al polo dominante del AO (F_{dom}) la distorsión no es atenuada.

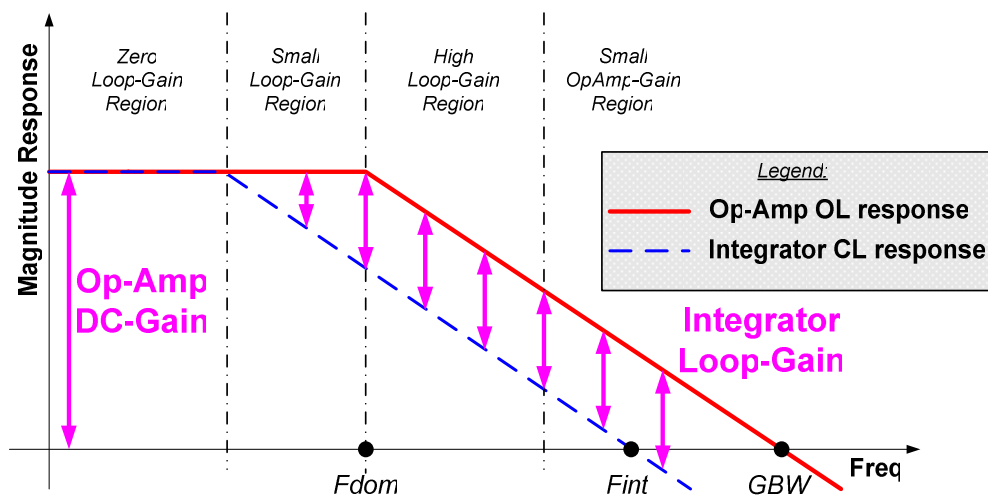


Figura 5.3 Función de transferencia de un AO [Gia03a]

Se ha caracterizado la respuesta en frecuencia de un integrador RC-AO usando un simulador tipo Spice. Los datos de este integrador se encuentran recogidos en la tabla 5.1. La respuesta en frecuencia se ha caracterizado con un tono de amplitud

creciente de forma que la señal de salida recorre el fondo de escala completo a cualquier frecuencia. El resultado de esta caracterización se muestra en la figura 5.4, donde se aprecia que el contenido armónico es mínimo en la zona de *Alta Ganancia de lazo*.

Tabla 5.1 Parámetros del integrador simulado

Frecuencia del integrador a 0dB (F_{int})	78MHz
Producto ganancia por ancho de banda del AO (GBW)	890MHz
Ganancia en continua del AO (A_v)	55dB
Frecuencia del polo dominante (F_{dom})	1.9MHz

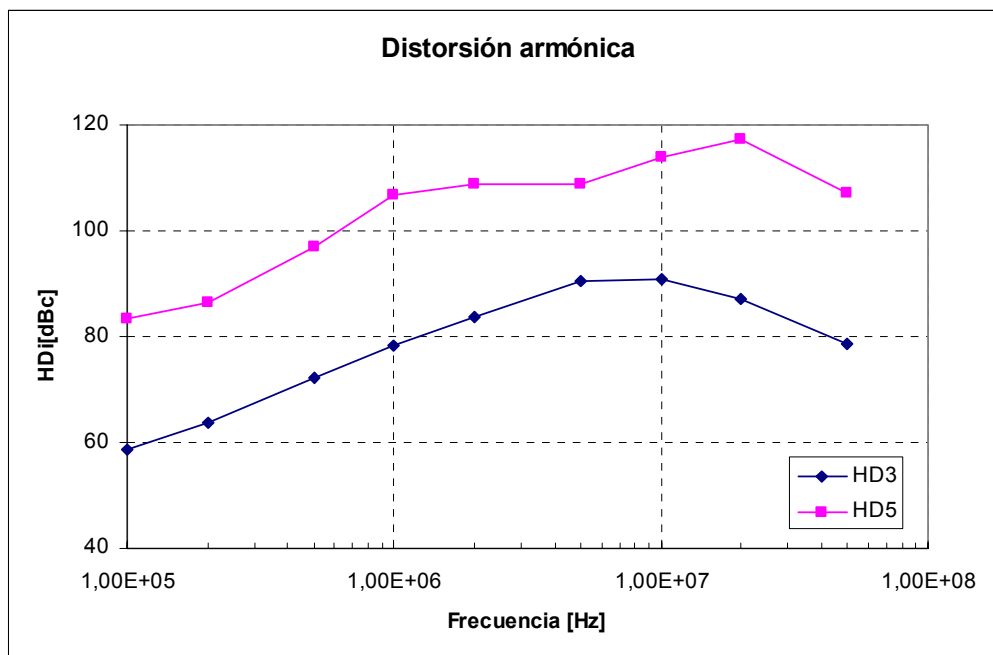


Figura 5.4 Simulación a nivel de transistor de la distorsión armónica del integrador RC-AO de la tabla 5.1

Considérese un AO compuesto de dos etapas: la primera de ellas constituye la etapa de amplificación, mientras que la segunda constituye la etapa de salida. Haciendo uso del mismo principio de atenuación se concluye que la segunda etapa es la más fuertemente no lineal debido a que la ganancia de lazo que se ve desde su nodo de entrada es inferior a la vista desde la entrada del AO.

La figura 5.5 muestra un modelo sencillo de un AO de dos etapas. La primera etapa es un bloque de ganancia ideal. La etapa de salida es un transistor NMOS en configuración de fuente común y con carga activa.

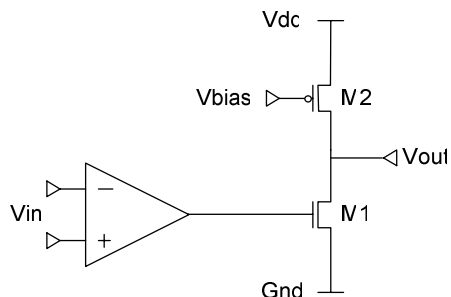


Figura 5.5 Modelo sencillo de un AO de dos etapas

El comportamiento no lineal de la etapa de salida viene dado fundamentalmente por la dependencia de la corriente de drenador del transistor M1 con las tensiones puerta-fuente y drenador-fuente. Los armónicos segundo y tercero son proporcionales a

$$\begin{aligned}
 HD_2 &\propto \frac{|k_{2g_{ds}} \cdot (g_m \cdot r_o)^2 + k_{2g_m}|}{g_m} \\
 HD_3 &\propto \frac{|k_{3g_{ds}} \cdot (g_m \cdot r_o)^3 - k_{3g_m}|}{g_m}
 \end{aligned} \tag{5.2}$$

donde g_m es la transconductancia de M1 y r_o es su impedancia de salida [Inv01].

Ambos armónicos dependen de dos términos: el primero está relacionado con la distorsión de la admitancia de salida mientras que el segundo está relacionado con la distorsión de la transconductancia. El primer término será dominante debido a que se encuentra pesado por una potencia de la ganancia de la etapa de salida.

El análisis que se muestra en esta sección no puede generalizarse para el caso de sistemas más complejos con múltiples realimentaciones, como por ejemplo resonadores u otros esquemas de filtrado. Sin embargo se puede usar el mismo principio aquí expuesto para analizar la distorsión del sistema en su conjunto.

5.1.2 Distorsión en un integrador Gm-C

Considérese el integrador Gm-C de la figura 5.6. La conversión tensión-corriente se realiza por medio de un Amplificador Operacional de Transconductancia o AOT. La distorsión de este tipo de circuitos es mayor a la que genera un integrador RC-AO, especialmente en el caso de aplicaciones de baja tensión o para señales de salida con excursiones o recorridos elevados.

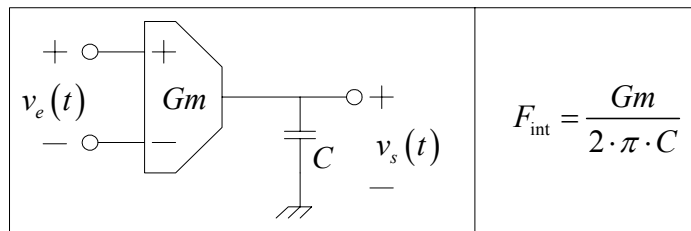


Figura 5.6 Integrador Gm-C

Algunas de las configuraciones más empleadas en el diseño de AOTs se basan en linealizar un par diferencial, tal y como se muestra en la figura 5.7. La linealización consiste en introducir caminos locales de realimentación, a costa de disminuir la ganancia de la transconductancia G_m [Kar92].

La velocidad de los circuitos mostrados en la figura 5.7 decrece al introducir las realimentaciones locales. Para una configuración rápida, como la del circuito de la figura 5.7.b, existe una elevada correlación entre la distorsión dinámica y la distorsión estática. Se entiende por distorsión dinámica la medida con una señal de entrada de tipo sinusoidal, mientras que se entiende por distorsión estática la medida en corriente continua sobre la curva de transferencia tensión-corriente. La curva de transferencia tensión-corriente se ha tomado en este análisis como un indicador de la distorsión del integrador Gm-C.

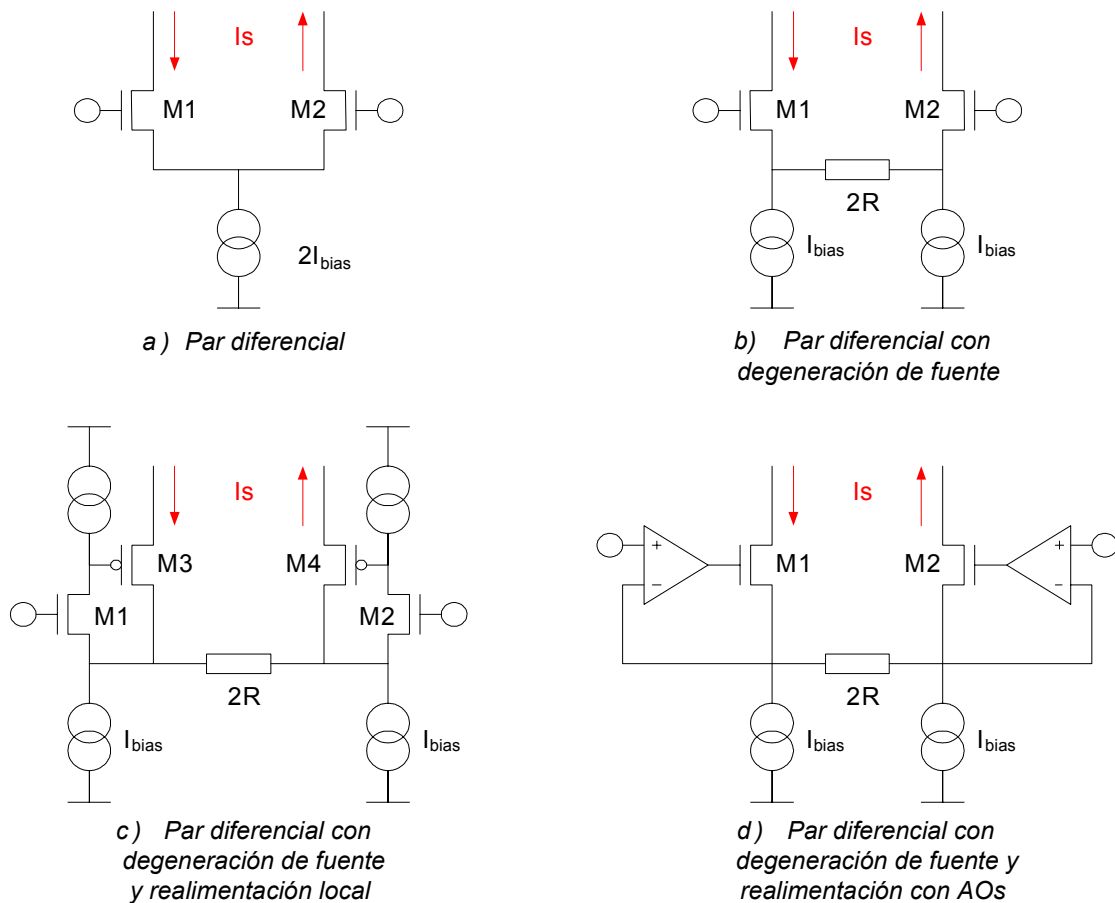


Figura 5.7 Algunas de las técnicas usadas para linealizar un par diferencial.

La figura 5.8 muestra una simulación tipo Spice a nivel de transistor del circuito de la figura 5.7.b. En la parte superior de la figura se muestra la curva de transferencia en corriente continua para tres puntos de funcionamiento extremos: variando la tensión de alimentación, la temperatura y los modelos de transistor. En la parte inferior de la figura se muestra la primera derivada de la curva de transferencia para los mismos puntos de funcionamiento. La primera derivada ayuda a identificar el comportamiento más lineal. La curva de menor pendiente corresponde a la característica más lineal.

La figura 5.9 muestra el resultado de una simulación transitoria del mismo circuito con una señal sinusoidal a la entrada. La parte superior de la figura muestra la evolución del quinto armónico al aumentar la amplitud del tono de entrada para los tres puntos de funcionamiento considerados en la figura anterior. La parte inferior de la figura muestra la evolución del tercer armónico para los mismos puntos de funcionamiento.

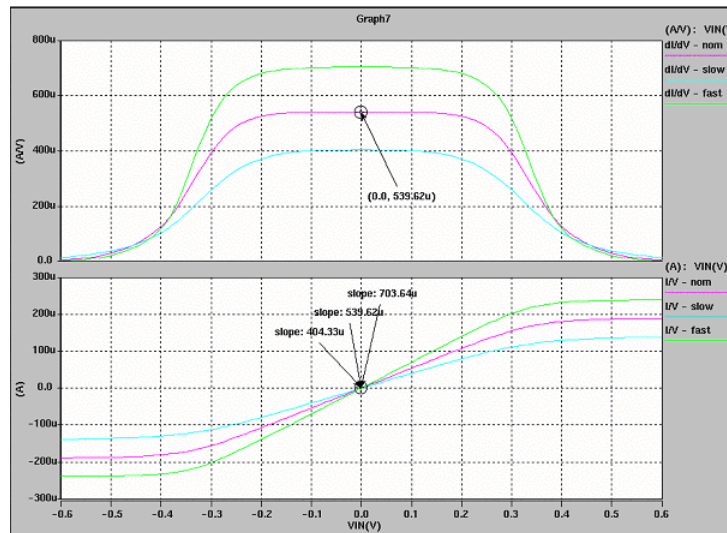


Figura 5.8 Curva de transferencia tensión-corriente en corriente continua simulada a nivel de transistor [Gia03a]

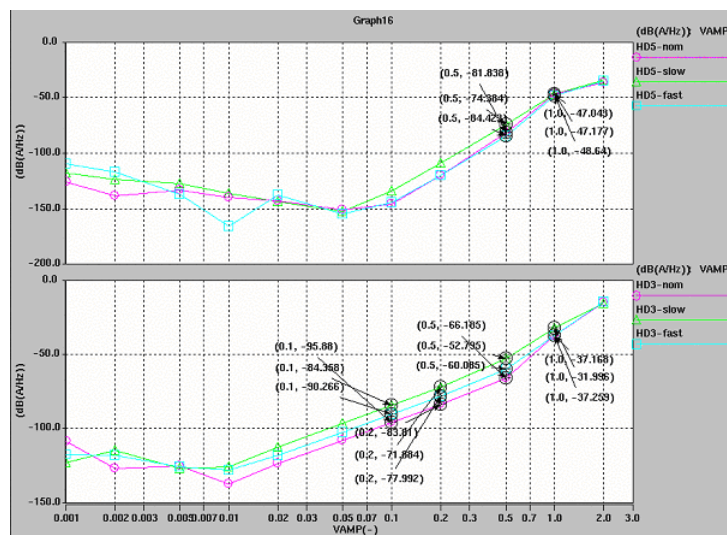


Figura 5.9 Distorsión armónica en una simulación transitoria [Gia03a]

5.1.3 Modelado de distorsión en simulación

En esta sección se detalla un modelo de simulación de la distorsión presente en integradores de tipo RC-AO y Gm-C. El modelo es válido para integradores RC-AO funcionando en la zona de *Alta Ganancia de lazo* y para integradores Gm-C lo suficiente rápidos como para despreciar su comportamiento en alta frecuencia.

La distorsión puede modelarse mediante una función polinómica tal como muestra la figura 5.10. El bloque limitador recorta la amplitud de la señal cuando ésta supera $\pm V_{\max}$, modelando la *región de Saturación* mostrada en la figura 5.1. La función

polinómica genera la distorsión del integrador para señales con una amplitud situada entre los límites $\pm V_{\max}$, modelando la *región de Pequeña Distorsión* mostrada en la figura 5.1.

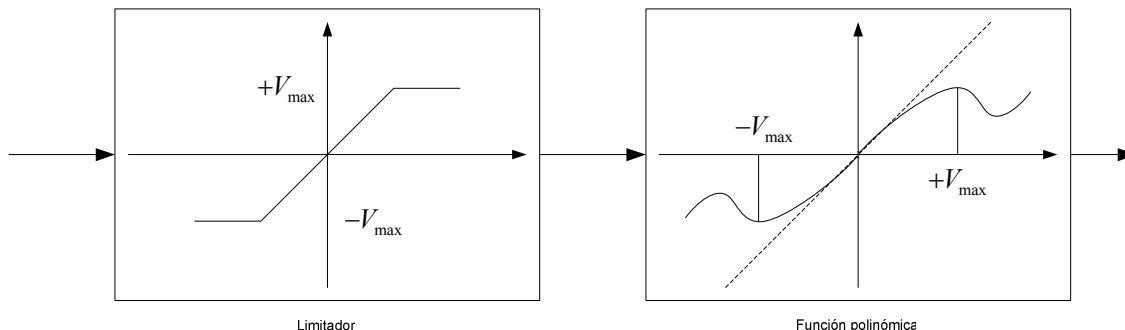


Figura 5.10 Modelo de distorsión.

Considérese un circuito diferencial. La función polinómica sólo debe contener potencias impares de forma que no aparezcan armónicos pares. Los coeficientes de esta función pueden expresarse en función de ciertos parámetros geométricos. La figura 5.11 muestra la primera derivada de la función polinómica que se pretende especificar. Los parámetros mostrados en ella se definen como sigue:

- SAT : establece el ajuste grueso o una primera clasificación de distorsión. Valores altos de este parámetro implican buen comportamiento lineal. Por ejemplo $SAT = 4$ puede usarse para modelar un AO muy lineal, mientras que $SAT = 1.5$ modelaría una transconductancia fuertemente no lineal.
- D_y : establece el ajuste fino de distorsión. Debe definirse entre dos límites, D_{y1} y D_{y2} , de forma que la curva tenga un solo máximo local en $x = 0$.

La complejidad del modelo depende de la cantidad de restricciones que se deseen imponer sobre la función polinómica o sus derivadas. Con cuatro restricciones se obtiene un modelo de complejidad moderada, dado por

$$y'(x) = a_0 + a_2 \cdot x^2 + a_4 \cdot x^4 + a_6 \cdot x^6 \tag{5.3}$$

$$y(x) = a_0 \cdot x + \frac{a_2}{3} \cdot x^3 + \frac{a_4}{5} \cdot x^5 + \frac{a_6}{7} \cdot x^7 \tag{5.4}$$

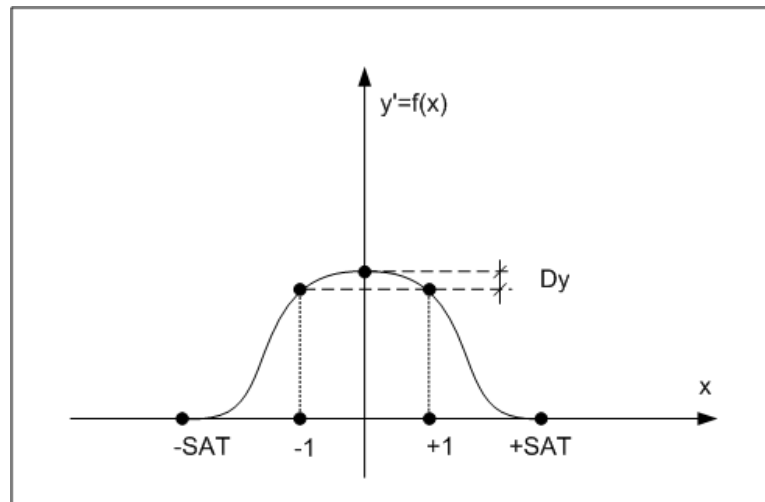


Figura 5.11 Primera derivada de la función polinómica [Gia03a]

En este caso las cuatro restricciones necesarias para calcular los coeficientes a_i se pueden establecer de la siguiente forma:

1. La pendiente de la función polinómica evaluada en el origen debe ser la unidad.
2. La pendiente de la función polinómica evaluada en el valor de plena escala ($|x|=1$) difiere una cantidad D_y del valor ideal.
3. En saturación la pendiente de la función polinómica se anula.
4. En saturación la pendiente de la primera derivada también se anula (lo que equivale a un punto de inflexión).

Expresando de forma analítica las cuatro restricciones se obtiene:

$$\begin{cases} y'(0) = 1 \\ y'(\pm 1) = 1 - D_y \\ y'(\pm SAT) = 0 \\ y''(\pm SAT) = 0 \end{cases} \quad (5.5)$$

E imponiendo dichas ecuaciones se obtienen los cuatro coeficientes:

$$\begin{cases} a_0 = 1 \\ a_2 = -\frac{SAT^6 \cdot D_y - 3 \cdot SAT^2 + 2}{SAT^2 \cdot (SAT^2 - 1)^2} \\ a_4 = \frac{2 \cdot SAT^6 \cdot D_y - 3 \cdot SAT^4 + 1}{SAT^4 \cdot (SAT^2 - 1)^2} \\ a_6 = -\frac{SAT^4 \cdot D_y - 2 \cdot SAT^2 + 1}{SAT^4 \cdot (SAT^2 - 1)^2} \end{cases} \quad (5.6)$$

La figura 5.12 muestra las funciones $y(x)$ e $y'(x)$ para varios valores del parámetro D_y . A medida que éste aumenta disminuyen de forma proporcional el recorrido de la señal de salida la zona de operación lineal. En la figura 5.13 se ha representado la distorsión que produce la función polinómica $y(x)$ cuando se aplica una señal sinusoidal en la entrada para diferentes valores de amplitud y del parámetro D_y .

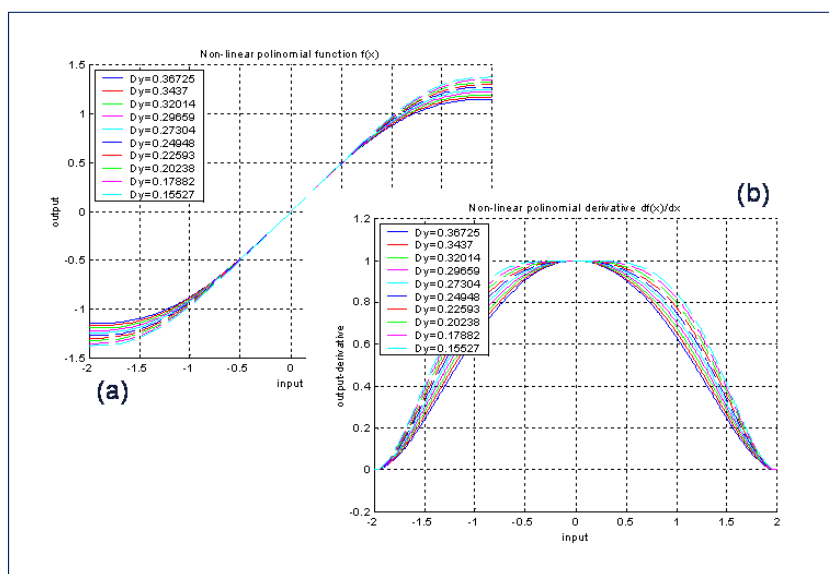


Figura 5.12 $y(x)$ e $y'(x)$ para varios valores del parámetro D_y [Gia03a]

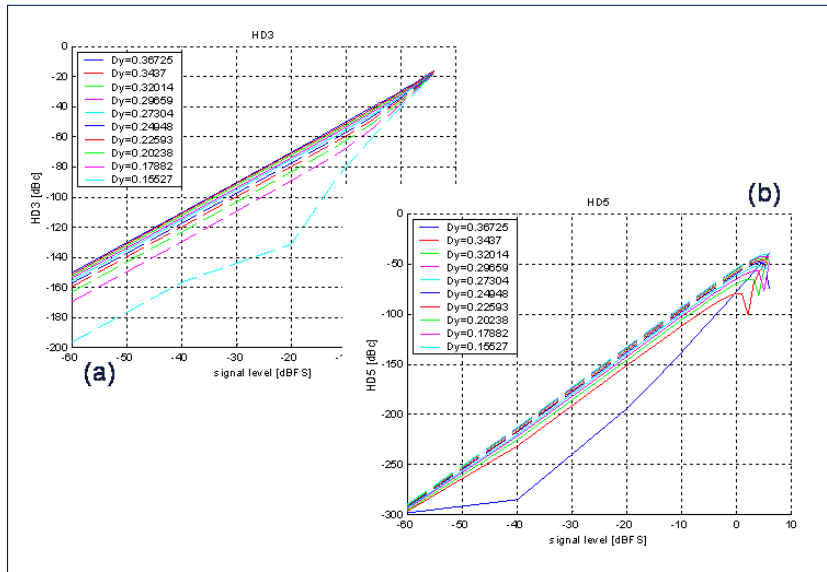


Figura 5.13 Distorsión armónica para varios valores del parámetro D_y [Gia03a]

5.2 Efectos de la no linealidad en los A/D y D/A internos

En los moduladores que emplean cuantificadores de un solo bit no es necesario analizar los errores que se producen en el propio cuantificador o en el D/A que es inherentemente lineal. Sin embargo cuando se emplea un cuantificador multibit la distorsión de el(los) convertidor(es) D/A puede limitar la resolución del modulador SDTC [Car97].

El convertidor D/A más lineal debe ser el que suministra señal a la primera etapa del modulador. Los errores estáticos y dinámicos que tenga este convertidor D/A no son conformados espectralmente, si no que, al igual que la señal de entrada al modulador, son trasladados a la salida del modulador íntegramente, siempre y cuando estén en banda y dependiendo de la STF diseñada para dicho modulador.

Los errores de distorsión del cuantificador, sin embargo, son conformados por la NTF del modulador. No obstante, es necesario que estos errores se mantengan por debajo de un cierto umbral, que en general, no será muy restrictivo.

5.2.1 Efectos de no linealidad estática en los D/A

La distorsión de un convertidor D/A depende de como sean de iguales entre sí los elementos que lo conforman.

Considérese un convertidor D/A por elementos unitarios. Básicamente consiste en un número de celdas o elementos que contribuyen a la magnitud de salida según un peso específico. Cada celda está controlada por un interruptor que a su vez está controlado por el código digital de entrada. Para el análisis que se detalla a continuación se supone que todas las celdas tiene el mismo peso específico, y que no son más que fuentes de corriente controladas por tensión. Los interruptores son controlados por un código termométrico. Idealmente todas las celdas aportan la misma corriente. En la práctica es muy difícil conseguir que todos los transistores tengan el mismo tamaño debido a las variaciones de proceso, por lo que habrá pequeñas diferencias en la corriente de aporte de cada celda. Esto se conoce como error de apareamiento.

Una forma de disminuir el error de apareamiento es elevar en lo posible el tamaño de los transistores. Esta solución no es válida para moduladores de alta velocidad (como suelen ser los de baja relación de sobremuestreo), ya que los transistores grandes conmutan a menor velocidad. Además se produce un incremento de área proporcional al número de elementos que tenga el convertidor D/A.

Los efectos que produce el error de apareamiento de los elementos del convertidor D/A en un modulador SDTC son dos [Car97]:

- Incremento del suelo de ruido en banda
- Aparición de distorsión armónica en la salida del modulador, tanto armónicos pares como impares

Como consecuencia, no sólo la SNDR se ve afectada sino también la SNR del modulador.

5.2.1.1 Algoritmos dinámicos de apareamiento

Existen varias técnicas para disminuir la distorsión generada por estos convertidores D/A, como son las técnicas de autocalibración [Gro89] y técnicas que emplean algoritmos de correlación [Wan01]. La técnica más extendida es emplear un circuito que promedie los errores del D/A seleccionando los elementos según un determinado algoritmo [Car97]. De esta forma se consiguen dos objetivos: la potencia de distorsión se reparte en el espectro y a su vez se conforma con una función de primer o segundo orden, dependiendo de algoritmo empleado.

Aunque teóricamente es posible usar algoritmos para el conformado de segundo orden, en la práctica sólo se usan los de primer orden, debido a restricciones en la implementación [Car97].

Un algoritmo muy empleado, y que resulta en un conformado espectral de primer orden, es el denominado DWA (de Data Weighted Averaging) [Bai95], [Her98]. Este es el algoritmo que se resume a continuación.

Considérese un convertidor D/A con $M - 1$ elementos que son controlados por la palabra de control $sv[n]$. Las diferencias entre la corriente que aporta cada elemento y la media de todas las corrientes es designada por α_i , con $i = 1, 2, \dots, M - 1$, de forma que

$$\sum_{i=1}^{M-1} \alpha_i = 0 \quad (5.7)$$

Si se define $sv[i, n]$ como el i -ésimo bit de la palabra de control $sv[n]$ en el instante n , puede expresarse la salida del D/A, antes del conformador de pulsos modelado en capítulos anteriores, como la suma de la señal de entrada $\tilde{v}[n]$ y un error de apareamiento $\tilde{e}_m[n]$, de forma que

$$\begin{cases} \tilde{w}[n] = \tilde{v}[n] + \tilde{e}_m[n] \\ \tilde{e}_m[n] = \sum_{i=1}^{M-1} sv[i, n] \cdot \alpha_i \end{cases} \quad (5.8)$$

El vector de selección $sv[n]$ se genera como una cadena de una cantidad de $\tilde{v}[n]$ unos consecutivos comenzando en la posición apuntada por el puntero $p_b[n]$ y terminando en la posición anterior a la apuntada por $p_e[n]$. El resto de posiciones se llenan con ceros. El algoritmo DWA consiste en generar los punteros de forma que se cumpla

$$\begin{cases} p_b[n] = p_e[n-1] \\ p_e[n] = (p_b[n] + \tilde{v}[n]) \bmod (M-1) \end{cases} \quad (5.9)$$

siendo

$$\begin{cases} p_e[0] = p_b[0] = 1 \\ p_e[n], p_b[n] = 1, 2, \dots, M-1 \end{cases} \quad (5.10)$$

La densidad espectral de potencia de la secuencia de error queda entonces dada por

$$E_m(f) = (1 - e^{-j2\pi f / f_s}) \cdot \Gamma(f) \quad (5.11)$$

donde

$$\gamma[n] = \sum_{i=1}^{p_e[n]} \alpha_i \quad (5.12)$$

El error queda conformado por una función de primer orden que tiene un cero en el origen.

5.2.2 Efectos de la no linealidad dinámica en los D/A

Se consideran errores dinámicos aquellos que se producen en la señal de salida del D/A durante la fase de conmutación. Las fuentes de error consideradas como más relevantes son las siguientes, aunque dependen del circuito que implemente el D/A.

- Tiempos de subida y bajada
- Sobreoscilaciones en los instantes de conmutación

En la figura 5.14 se muestra, a modo de ejemplo, la evolución temporal de la señal de salida de un D/A que contiene las fuentes de error enumeradas [Gia03a].

Considérese la implementación mostrada en la figura 5.15. La celda unidad consiste en una fuente de corriente y dos interruptores que conducen la corriente bien hacia el ramal positivo o bien hacia el ramal negativo dependiendo del valor digital de entrada. En este circuito las sobreoscilaciones se deben principalmente a fenómenos transitorios que generan las capacidades parásitas del circuito, por inyección de carga o por acoplamiento con el reloj del sistema. Sin embargo los tiempos de subida y bajada vienen impuestos por las constantes de tiempo del circuito [Cla04]. Según la implementación, puede influir también el ruido digital que pueda acoplarse a través de los nodos de alimentación, a través del sustrato, o a través de líneas adyacentes. Por ejemplo, el nodo X de la figura 5.15 es un nodo sensible a las fluctuaciones de tensión de alimentación. En líneas generales, si las perturbaciones están correladas con la señal de entrada al modulador la salida modulada contiene distorsión armónica de la señal de entrada, mientras que si las perturbaciones están incorreladas con la señal de entrada al modulador se produce un aumento del suelo de ruido en la banda de paso.

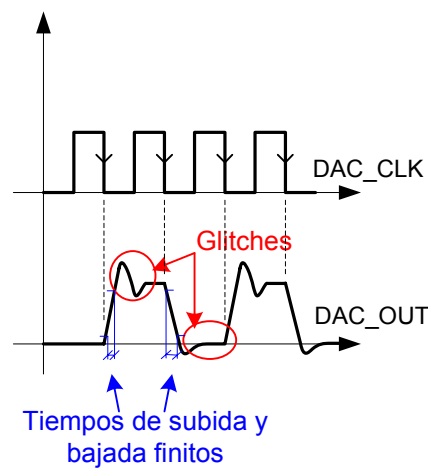


Figura 5.14 Errores dinámicos en un D/A

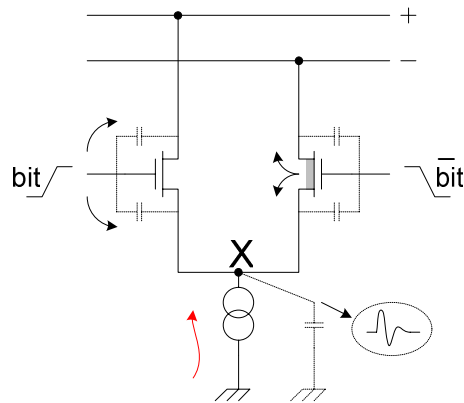


Figura 5.15 Celda de un D/A implementado con fuentes de corriente controladas por tensión [Gia03a]

5.2.3 Errores en los A/D

En el caso de los moduladores multibit debe tenerse en consideración los errores que se producen en el cuantificador.

Considérese un cuantificador de N bits compuesto por $2^N - 1$ comparadores cuyo umbral de comparación es variable. En la práctica el umbral de comparación se ve afectado por errores aleatorios que dependen del proceso de fabricación. Como resultado se obtiene una curva de transferencia variable como la que se muestra en la figura 5.16.

Sobre la curva de transferencia se puede definir la no linealidad diferencial o DNL, que da una medida del error entre códigos adyacentes [Joh97]. Este parámetro está directamente ligado al error de apareamiento entre los transistores MOS. El error de apareamiento es inversamente proporcional al tamaño del transistor. Por otro lado la velocidad de conversión decrece al aumentar el tamaño de los transistores.

$$DNL = \frac{V_{c_i} - V_{c_{i+1}}}{V_{LSB}} - 1 \quad (5.13)$$

Los desplazamientos de los umbrales de comparación incrementan el suelo de ruido en banda del modulador y generan distorsión armónica.

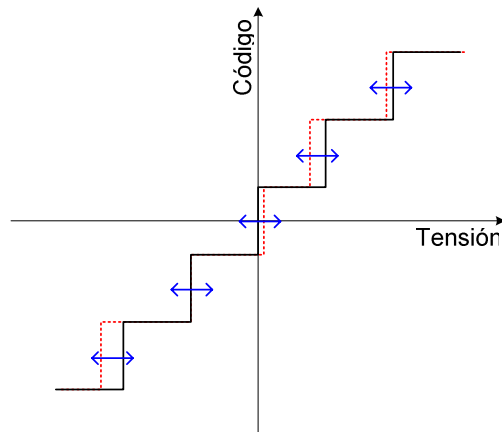


Figura 5.16 Curva de transferencia modificada por efecto del offset en los comparadores.

La figura 5.17 muestra una simulación de cómo se degrada la SNR de un modulador multibit de 4^º orden debido a este efecto. EL cuantificador es de 4 bits con una DNL variable. Cada punto de la curva corresponde al promedio de varias simulaciones usando como DNL una variable aleatoria con distribución normal de media nula y desviación típica σ . La figura 5.18 muestra la densidad espectral de potencia promediada para tres puntos de de la curva anterior.

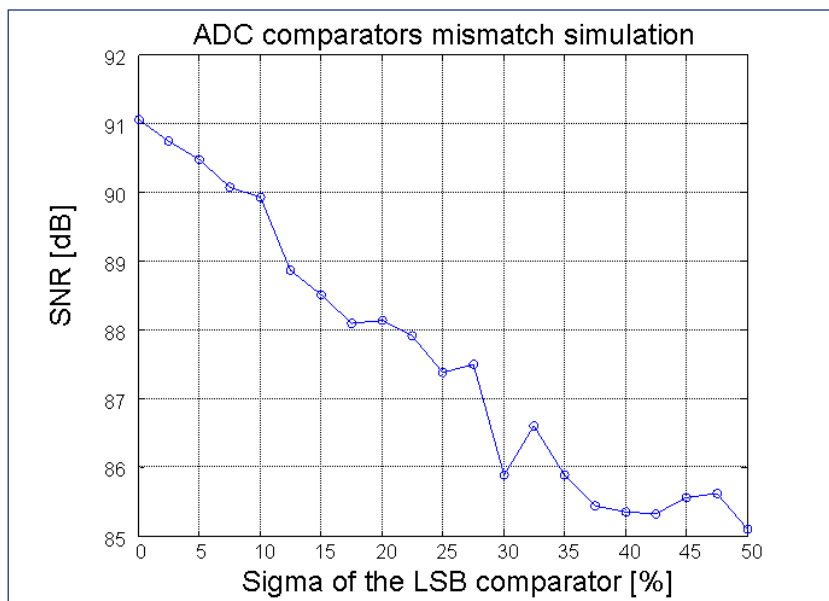


Figura 5.17 Degradación de la relación señal-ruido en función del offset de los comparadores [Gia03a]

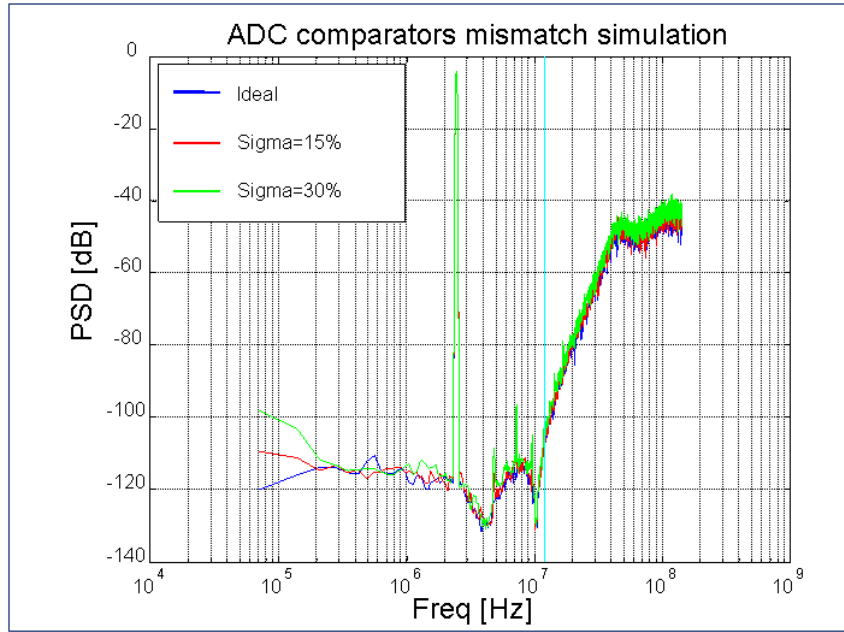


Figura 5.18 Espectro de la salida del modulador para diferentes valores de offset en los comparadores [Gia03a]

Capítulo 6

Análisis y modelado de ruido circuital en los moduladores SDTC

En este capítulo se ha analizado el efecto del ruido térmico así como el del ruido $1/f$ en los moduladores SDTC. También se ha incluido un análisis del efecto que producen los errores producidos por la incertidumbre del instante de muestreo.

6.1 Ruido circuital en los amplificadores

Dentro del bloque de filtrado de un modulador SDTC todas las etapas de ganancia son fuentes de ruido, aunque las que más contribuyen a la potencia total de ruido son las primeras etapas. Cuanto más alejada esté la etapa del cuantificador menos se atenúa la potencia de ruido que genera. Los elementos responsables de la generación de ruido son las resistencias y los transistores. Las resistencias sólo producen ruido térmico, mientras que los transistores producen también ruido tipo flicker.

6.1.1 Ruido térmico

En una resistencia los electrones permanecen en movimiento aleatorio aunque la corriente media que circule por ella sea nula. La densidad espectral de potencia tiene una característica plana con la frecuencia. La tensión equivalente de ruido depende de la temperatura absoluta T en grados Kelvin y el valor de la resistencia R en ohmios según (6.1), donde k es la constante de Boltzmann.

$$V_N^2(f) = 4 \cdot k \cdot T \cdot R \quad (6.1)$$

Un efecto similar ocurre en un transistor MOS que opera en su región de saturación. La corriente equivalente de ruido es proporcional en este caso a la temperatura T y a la transconductancia g_m según (6.2), donde γ es una constante que tiene en cuenta las dimensiones del transistor (2/3 para transistores de canal grande y superior para dispositivos submicrónicos).

$$I_N^2(f) = 4 \cdot k \cdot T \cdot \gamma \cdot g_m \quad (6.2)$$

Generalmente se calcula la potencia equivalente de ruido a la entrada del modulador y se fija a un determinado nivel adecuado a la resolución que se desea obtener en el modulador. En algunos casos la resolución del modulador está limitada por el ruido de cuantificación en lugar de por el ruido térmico dependiendo de las condiciones de diseño.

6.1.2 Ruido 1/f

En los transistores MOS, en la interfaz entre silicio del sustrato y el óxido del canal, el material conductor se vuelve poco homogéneo, dando lugar a más estados de energía. Cuando los portadores pasan cerca de esta zona, aleatoriamente algunos quedan atrapados en estos estados y son liberados después, generando el llamado ruido de tipo filcker o 1/f. Se cree que hay otros mecanismos que contribuyen a este tipo de ruido, y en general, no dependen de la temperatura aunque sí de la frecuencia. Este tipo de ruido puede modelarse como una fuente de tensión equivalente en serie con la puerta cuya densidad espectral de potencia viene dada por (6.3), y donde K_F es un parámetro que depende de la tecnología, C_{ox} es la capacidad del óxido y W y L son las dimensiones del transistor.

$$V_N^2(f) = \frac{K_F}{C_{ox} \cdot W \cdot L} \cdot \frac{1}{f} \quad (6.3)$$

El ruido 1/f suele ser un problema. En general tratará de evitarse sobre todo en las primeras etapas del modulador haciendo los transistores más grandes.

6.1.3 Caso de ejemplo

Como ejemplo se ha estudiado el modulador publicado en [Pat04b], cuyo filtro interno está compuesto de dos resonadores y múltiples prealimentaciones hacia el cuantificador. La figura 6.1 muestra la densidad espectral de la potencia de ruido generada en cada una de las etapas resonadoras y la compara con la del ruido de cuantificación.

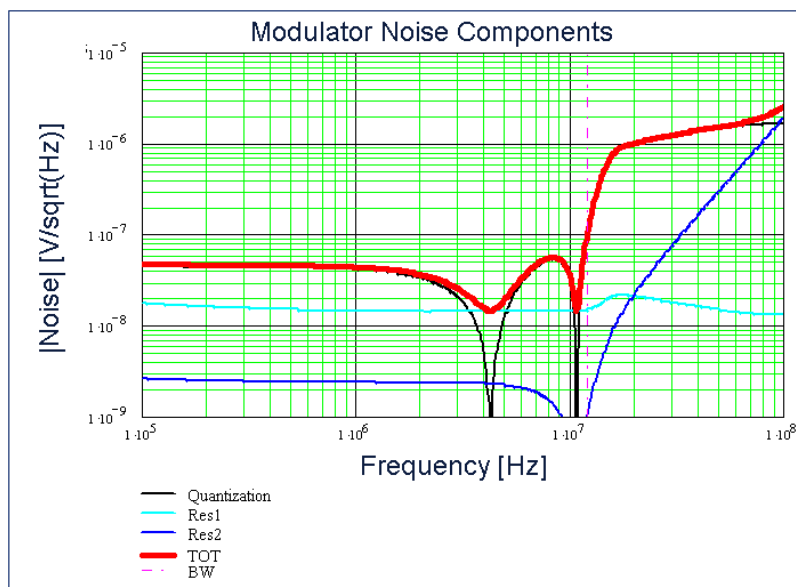


Figura 6.1 Densidad espectral de la potencia de ruido producida por los dos resonadores y comparada con la densidad espectral de potencia del ruido de cuantificación [Gia03a]

Como se puede observar la mayor contribución la produce el primer resonador y está bastante por debajo de la potencia del ruido de cuantificación. En el primer resonador las fuentes de ruido son: la resistencia de entrada, el primer amplificador operacional, y el convertidor D/A, tal y como se muestra en la figura 6.2. La resistencia de entrada sólo genera ruido térmico, mientras que las otras dos fuentes de ruido generan también ruido 1/f. Para mantener un nivel total bajo de ruido el diseño tiene que cumplir:

- Rint: debe ser lo más pequeña posible teniendo en cuenta el máximo valor posible de C_{int} . Para una constante de integración dada, la disminución de R_{int} supone el aumento de C_{int} en la misma proporción, aumentando la carga del amplificador y por tanto su consumo de potencia.

- Amplificador Operacional: El par diferencial de entrada debe diseñarse lo más grande posible para reducir el ruido 1/f. El límite superior lo impone la capacidad parásita de la masa virtual del amplificador (véase la sección 4.1.2)

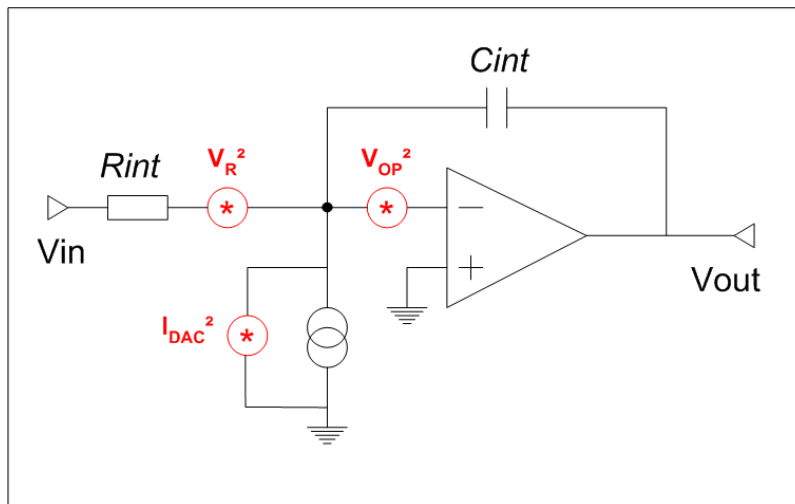


Figura 6.2 Fuentes de ruido en el primer integrador [Gia03a]

- Convertidor D/A: El ruido aportado por el convertidor D/A, reflejado a la entrada del integrador, puede calcularse despreciando el ruido 1/f [Kla03] como (6.4), donde k es la constante de Boltzmann, T es la temperatura absoluta, V_{DSAT} es la sobrecarga de los fuentes MOS, R_{int} es la resistencia de integración y $\alpha \cdot V_{DD}$ es el máximo recorrido unipolar de la señal de salida ($\alpha \in [0,1]$).

$$V_N^2(f) = 8 \cdot k \cdot T \cdot \gamma \cdot \frac{\alpha \cdot V_{DD} \cdot R_{int}}{V_{DSAT}} \quad (6.4)$$

La única forma de reducir la tensión equivalente de ruido es aumentar la sobrecarga de las fuentes MOS hasta su límite de saturación.

Las tres componentes se muestran en la figura 6.3. Se puede observar que la mayor contribución se produce en el convertidor D/A.

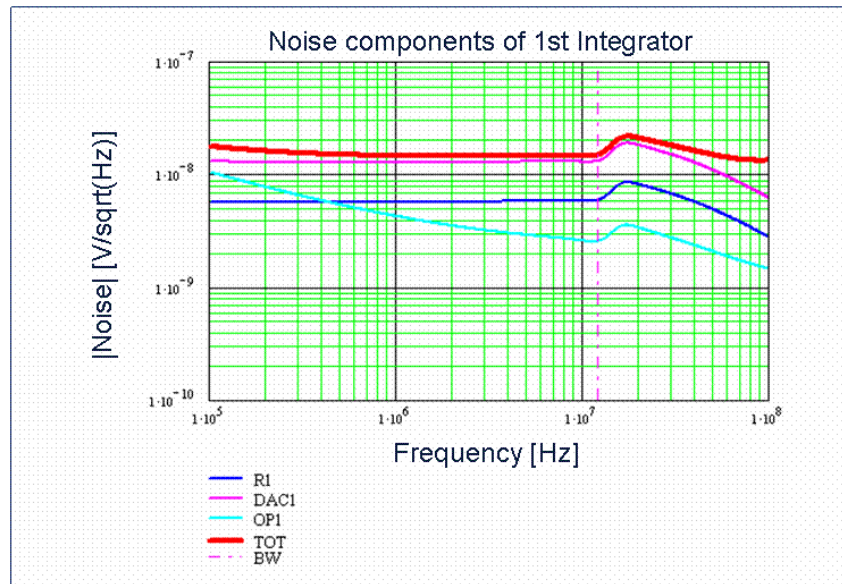


Figura 6.3 Densidad espectral de la potencia de ruido en el primer integrador [Gia03a]

6.2 Ruido inducido por la señal de reloj

Los moduladores SDTC son muy sensibles a la incertidumbre de los instantes de muestreo de la señal de reloj, o lo que es lo mismo, al jitter de la señal de reloj [Che00, capítulo 5]. Generalmente esta incertidumbre afecta a la salida del modulador produciendo un ruido cuya densidad espectral de potencia puede superar a la del ruido de cuantificación, y por tanto, limitar la resolución del modulador.

El mecanismo de producción del jitter del reloj es de origen aleatorio y está incorrelado con la entrada. Sin embargo el mecanismo por el cual se acopla a la señal de salida es complicado y desconocido en general. Normalmente las especificaciones del reloj del modulador se obtienen por simulaciones exhaustivas.

Existen dos puntos sensibles a la incertidumbre del instante de muestreo: el muestreador y el convertidor D/A, tal y como se muestra en la figura 6.4. El convertidor D/A lleva una señal de reloj para evitar el jitter dependiente de la señal de entrada que se produce como consecuencia de la metaestabilidad del cuantificador [Che00, capítulo 5].

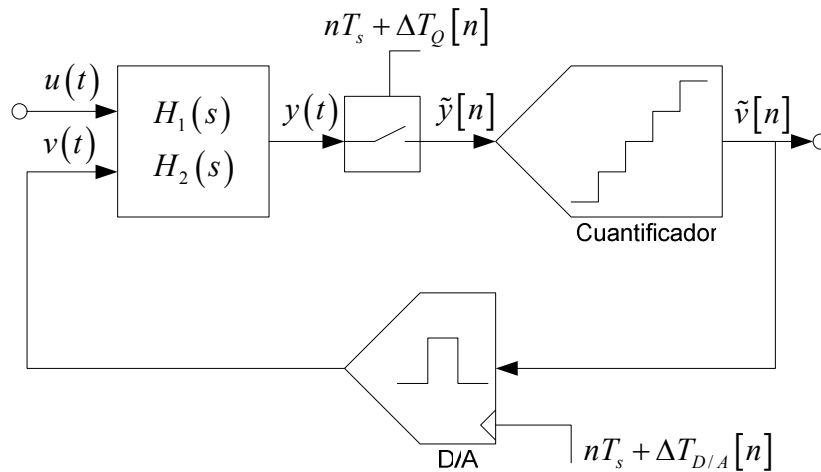


Figura 6.4 Modulador SDTC con jitter en la señal de reloj.

En general la señal de reloj del convertidor D/A no tiene por qué tener los mismos errores que la señal de reloj del muestreador, ya que depende del esquema de generación de relojes elegido.

6.2.1 Análisis del efecto generado en el muestreador

El muestreador opera en los instantes $nT + \Delta T_Q[n]$. Mientras la secuencia $\Delta T_Q[n]$ tenga potencia finita, ésta será atenuada dentro de la banda de interés por la NTF del modulador. Esto no ocurre en el caso del convertidor D/A, por lo que generalmente la contribución del jitter en el muestreador a la degradación de resolución del modulador se considera despreciable.

6.2.2 Análisis del efecto generado en los convertidores D/A de realimentación.

La sensibilidad del modulador al jitter de reloj en cada uno de los convertidores D/A que integren su arquitectura dependerá de la posición de estos convertidores. Cuanto más próximo esté el convertidor D/A al cuantificador menor será su contribución a la degradación de resolución del modulador. Por tanto, para el análisis siguiente se considera solamente el efecto del primer convertidor D/A, pues será el de mayor contribución. En el caso de tener una arquitectura interpolativa (con un sólo D/A) no es necesario hacer ninguna aproximación de este estilo.

La secuencia $\Delta T_{D/A}[n]$ que aparece en la figura 6.4 produce una duración errónea de los pulsos de realimentación del modulador. En [Che00, capítulo 5] se pueden encontrar varias estimaciones de la degradación de resolución que se produce en moduladores con D/A de tipo RZ y de tipo NRZ. La conclusión que puede extraerse de las estimaciones es que la degradación tiene su origen en los errores de área que se producen al integrar pulsos de duración errónea. Este concepto es ilustrado en la figura 6.5 para un modulador de primer orden.

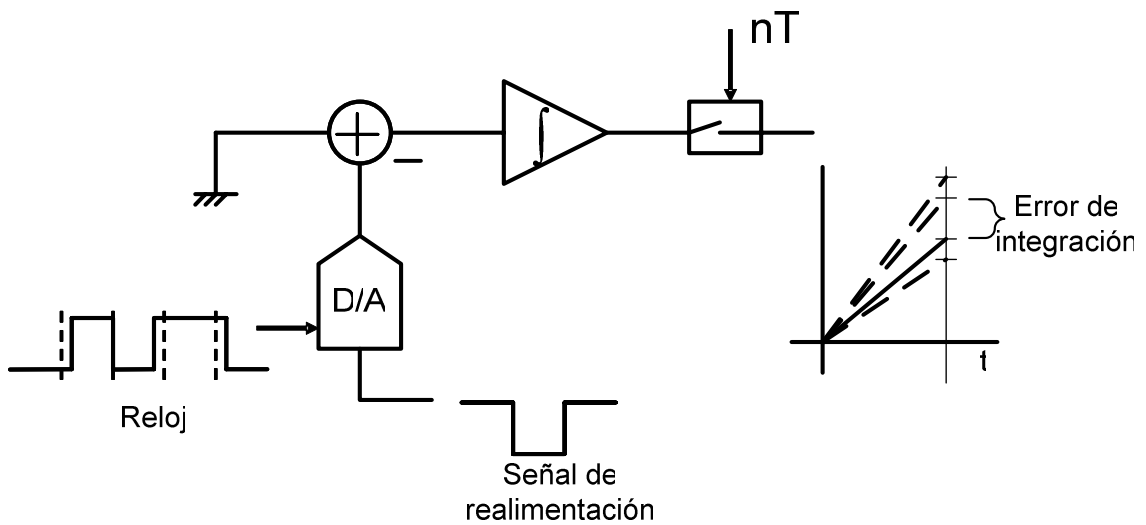


Figura 6.5 Representación de los errores producidos como consecuencia del jitter de reloj

El error de área puede expresarse en función de la señal de realimentación para un convertidor D/A tipo NRZ como

$$\Delta A[n] = (\tilde{v}[n] - \tilde{v}[n-1]) \cdot \Delta T_{D/A}[n] \quad (6.5)$$

La figura 6.6 ilustra como se puede convertir la dependencia del error de área del tiempo a una dependencia de la amplitud. Según este esquema se puede calcular una secuencia de error equivalente que sumada a la señal de realimentación, obtenida con un reloj ideal, produce el mismo error de área.

$$e_j[n] = \frac{\Delta A[n]}{T_s} = (\tilde{v}[n] - \tilde{v}[n-1]) \cdot \frac{\Delta T_{D/A}[n]}{T_s} \quad (6.6)$$

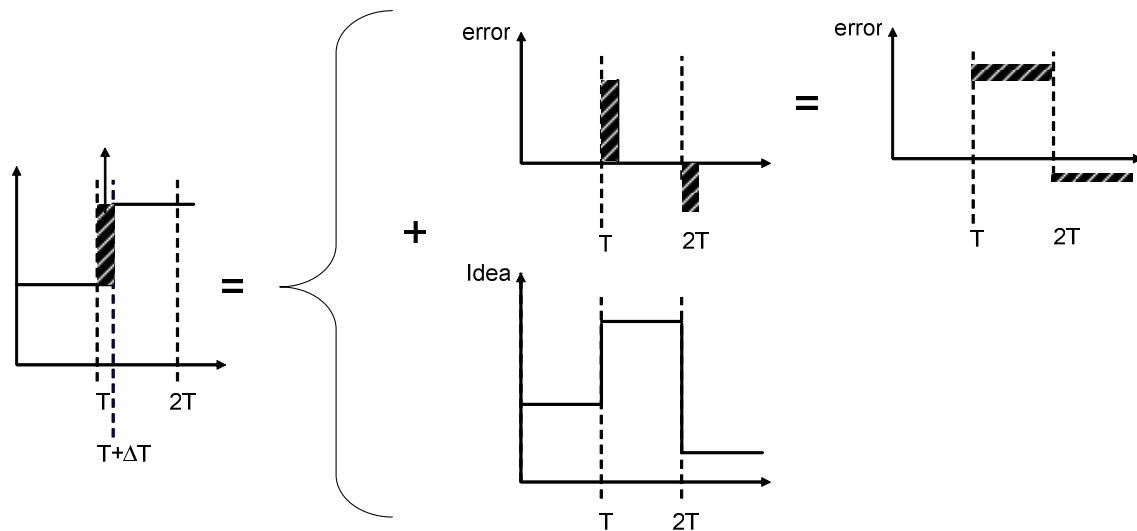


Figura 6.6 Equivalencia del modelo variante en el tiempo con un modelo invariante en el tiempo pero variable en amplitud.

Según este modelo pueden asumirse la salida del modulador y el jitter del reloj estadísticamente independientes y calcular la varianza de $e_j[n]$ en la forma en que se calcula en [Che00, capítulo 5].

$$\sigma_{ej}^2 = \frac{1}{T_s^2} \cdot \sigma_{D/A}^2 \cdot \sigma_{dv}^2 \quad (6.7)$$

donde

$$d\tilde{v}[n] = \frac{\tilde{v}[n] - \tilde{v}[n-1]}{T_s} \quad (6.8)$$

Para calcular (6.8) se puede aproximar la salida del modulador por la suma de dos componentes: la señal de entrada filtrada por la STF más el ruido de cuantificación filtrado por la NTF. De esta forma queda claro que la sensibilidad del modulador al jitter del reloj depende de la señal de entrada.

6.2.3 Modelo de simulación acelerada

Uno de los grandes inconvenientes que tiene la simulación de un modulador con jitter en el reloj es el coste computacional. Simular incertidumbre en los instantes de muestreo obliga a usar pasos de integración muy pequeños para resolver las ecuaciones diferenciales del modelo.

Sin embargo la expresión (6.6) ilustrada en la figura 6.6 sugiere un modelo mucho más simplificado, como el que se muestra en la figura 6.7.

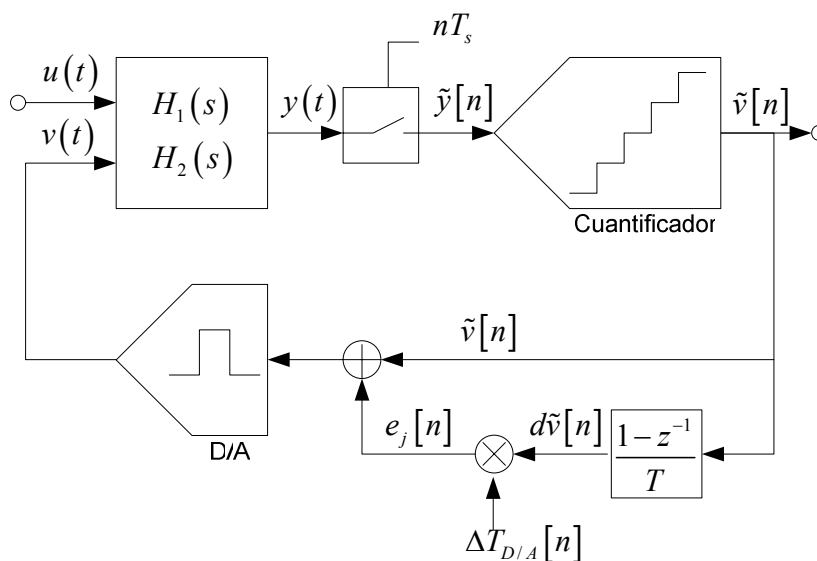


Figura 6.7 Modelo simplificado del efecto del jitter sobre un modulador SDTC

Este modelo puede ser implementado en un simulador a nivel de sistema como Simulink. Tiene la ventaja de que los valores $e_j[n]$ sólo se actualizan en cada instante de muestreo, por lo que el paso de integración puede aumentarse y así acortar la simulación temporal. La figura 6.8 muestra un ejemplo de aplicación del modelo a un modulador de cuarto orden. El modelo está implementado en Simulink.

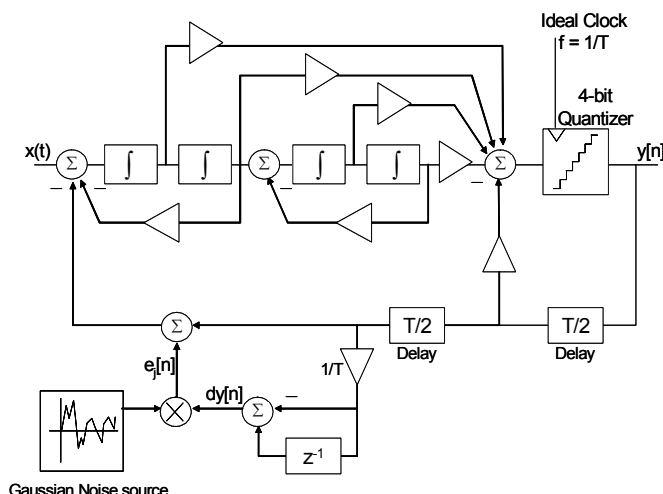


Figura 6.8 Modelo en Simulink para un SDTC de cuarto orden.

Para comparar la precisión del modelo propuesto se ha simulado la curva de SNR frente a la varianza de jitter, y se ha comparado dicha curva con la obtenida por

simulación de un modelo que usa un generador de reloj con jitter. El resultado se muestra en la figura 6.9. La diferencia máxima entre ambas curvas es 1.5dB, mientras que el tiempo de simulación se ha reducido en 7 veces para el mismo número de muestras simuladas. En el ejemplo se observa que a partir de un 1% de jitter la resolución del modulador está limitada por efecto del jitter.

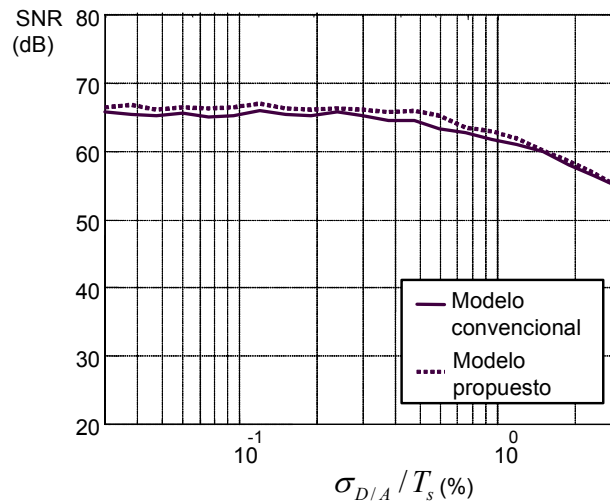


Figura 6.9 Comparación del modelo propuesto con un modelo convencional

6.2.4 Reducción del efecto del jitter del reloj por modificación de la NTF

Como ya se ha descrito en las secciones anteriores la potencia de la secuencia de error $e_j[n]$ depende de la potencia de jitter y de la potencia de una señal ficticia denominada $d\tilde{v}[n]$. Esta última potencia depende a su vez de la señal de entrada y del ruido de cuantificación.

Si se tiene en consideración el modelo lineal del modulador, entonces la potencia del ruido de cuantificación depende directamente de la NTF y no depende de la señal. Bajo esta consideración puede dividirse la sensibilidad del modulador al jitter en dos términos: uno dependiente de la señal de entrada y otro dependiente del diseño del modulador.

Para evaluar el término que depende del diseño del modulador considérese el modulador con entrada nula. En estas condiciones, debido al ruido del circuito, el

modulador muestra una actividad a su salida que depende solamente de la arquitectura del modulador. La potencia de la señal ficticia $d\tilde{v}[n]$ bajo estas condiciones puede aproximarse de la siguiente forma:

$$\sigma_{dv}^2 \approx \sigma_Q^2 \cdot \frac{1}{2\pi} \int_0^{2\pi} \left| (1 - e^{-j\omega}) \cdot \tilde{NTF}(e^{j\omega}) \right|^2 d\omega \quad (6.9)$$

donde σ_Q^2 representa la varianza del ruido de cuantificación y $\omega = 2\pi f \cdot T_s$

A partir de la expresión anterior se puede establecer un criterio para seleccionar o modificar la NTF que disminuya la sensibilidad del modulador al jitter del reloj. En la figura 6.10.a se muestra un ejemplo de diseño convencional de NTF. Si se modifica la NTF reduciendo la ganancia en torno a la mitad de la frecuencia de muestreo, se reduce el área de la curva obtenida después de la función de diferenciación, y por tanto se reduce la sensibilidad del modulador al jitter del reloj sin perder estabilidad ni resolución.

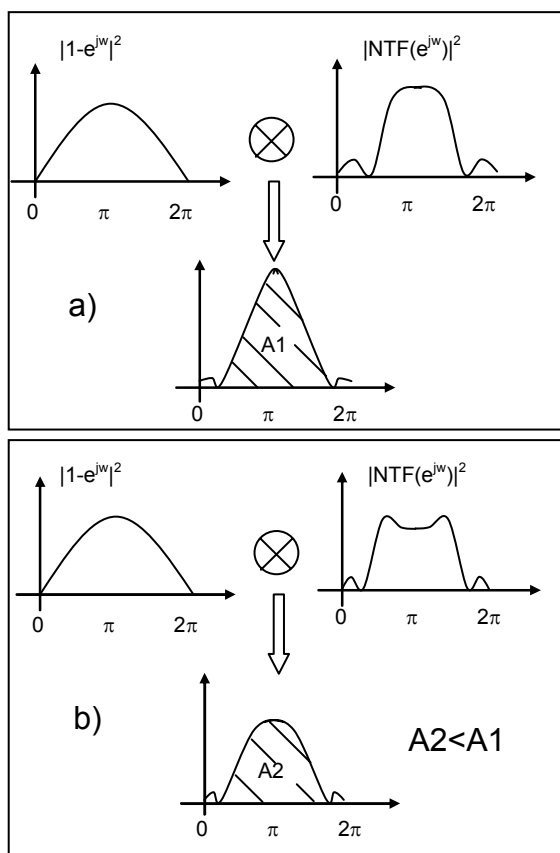


Figura 6.10 Ejemplo ilustrativo de cómo modificar una NTF para reducir la sensibilidad al jitter del reloj.

La figura de mérito a emplear para seleccionar una determinada NTF de entre varias posibles se puede escribir como

$$A_{jit}^2 = \frac{1}{\pi} \int_0^\pi \left| (1 - e^{-j\omega}) \cdot N\tilde{T}F(e^{j\omega}) \right|^2 d\omega \quad (6.10)$$

En [Her04] se describe un ejemplo de aplicación de este método de forma detallada. Este método ha sido aplicado también en el modulador publicado en [Pat04b] a fin de optimizar su comportamiento frente al jitter del reloj.

Tanto el modelo de simulación acelerada como el análisis presentado en esta sección son contribuciones originales de esta tesis doctoral.

Capítulo 7

Aportaciones a la metodología de diseño de SDTC

Como se vio en el capítulo 3, el diseño de moduladores SD implica siempre un análisis y/o comprobación de estabilidad, ya sea en TC o en TD. Puesto que el análisis de estabilidad en sistemas no lineales puede resultar complejo, a menudo se recurre a reglas nemotécnicas fruto de la experimentación y la simulación de dichos sistemas. Estas reglas se combinan con un análisis sobre un modelo linealizado del sistema dando como resultado una estrategia de diseño rápida y flexible. En cualquier caso será siempre necesaria una comprobación final de estabilidad por simulación exhaustiva del diseño elegido.

El diseño de moduladores SDTC puede resultar más complejo que en el caso de los moduladores SDTD debido al uso de la transformada de la respuesta invariante al impulso.

En este capítulo se propone una metodología de diseño estructurada en cinco fases. La primera sección está dedicada a sentar las bases de la metodología que se va a proponer. En la segunda sección se describe la metodología desde un punto de vista formal. En la tercera sección se describen algunos algoritmos que permiten implementar las fases centrales de la metodología propuesta. Por último se muestra una herramienta desarrollada para Matlab que usa los algoritmos descritos.

La metodología de diseño que aquí se expone, así como la herramienta desarrollada son contribuciones originales de esta tesis doctoral.

7.1 Uso del margen de fase para la estabilización y optimización de un modulador SDTC

Como ya se ha descrito en el capítulo 3 las metodologías de diseño publicadas con anterioridad poseen una serie de dificultades que este trabajo pretende salvar.

Por un lado la metodología de diseño propuesta primero por [Ada97a] y desarrollada y ampliada posteriormente por [Che00] presenta una gran dificultad en trasladar las especificaciones del diseño del modulador, a nivel de sistema, a especificaciones o requisitos para el circuito que lo implementa. Además presenta una elevada sensibilidad al retardo de bucle en exceso, a las variaciones de proceso y otros efectos.

Por otro lado la metodología expuesta en [Bre01] presenta un análisis de estabilidad basado en el lugar de las raíces en el dominio de Laplace que resulta insuficiente para seleccionar un modulador suficientemente robusto.

Este trabajo pretende encontrar un camino intermedio entre ambas metodologías a través de dos objetivos fundamentales. El primero de ellos consiste en usar parámetros y/o figuras de mérito habituales en el diseño de circuitos analógicos o en su defecto, fácilmente trasladables a especificaciones de circuito. El segundo objetivo es encontrar un método que permita obtener un modulador robusto frente a variaciones de proceso y otros efectos con la menor penalización posible de resolución.

Para cumplir con todo lo anterior se ha fijado el margen de fase como figura de mérito indicadora de la robustez del sistema frente a, por ejemplo, variaciones del retardo de bucle en exceso. El diseño del modulador se realiza en el dominio de Laplace aunque la estabilidad se comprueba en el dominio discreto.

7.2 Metodología de diseño propuesta

Se propone una metodología de diseño en cinco fases. Para esta metodología se suponen conocidas ciertas especificaciones del modulador, a saber, rango dinámico,

SNR máxima, SNDR máxima, SFDR, frecuencia máxima de reloj, tecnología y consumo máximo.

La primera fase del diseño consiste en determinar la relación de sobremuestreo OSR , el orden del modulador n y el número de niveles del cuantificador M que garantizan una resolución dada (obtenida a partir de la SNR máxima), teniendo en cuenta que el modulador sea implementable en cuanto a tecnología y consumo máximo especificados. También se determina si los ceros de la NTF estarán distribuidos o no en el ancho de banda del sistema. La cantidad de ELD nominal ha de fijarse también en esta fase teniendo en cuenta la frecuencia de reloj usada y las fases de reloj que se piensan usar para sincronizar el cuantificador y el D/A.

En la segunda fase se busca un filtro en tiempo continuo que haga estable el modelo lineal de la figura 7.1. Este modelo se obtiene usando la transformada de la respuesta invariante al impulso sobre el modulador SDTC de relación de sobremuestreo OSR , orden n y ELD nulo. La ganancia del cuantificador se considera unitaria. El filtro obtenido sirve de punto de comienzo para el proceso de optimización que es la tercera fase del diseño.

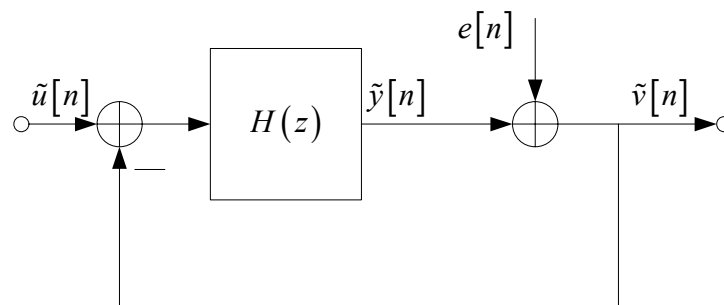


Figura 7.1 Modelo lineal en TD

Durante la optimización se utilizan uno o varios indicadores de la calidad del sistema en función de los objetivos que se persigan. El margen de fase es un indicador de la estabilidad del sistema frente a variaciones de ELD y tolerancias en el proceso de fabricación. El tamaño medio de escalón es un indicador de la sensibilidad al jitter del reloj. Una vez finalizada la optimización se realiza una simulación temporal del sistema para comprobar la estabilidad y resolución del modulador.

La cuarta fase consiste en la selección de la topología adecuada y el cálculo de sus coeficientes.

La quinta y última fase consiste en la verificación por simulación del funcionamiento del sistema frente a diversos efectos lineales y no lineales para los que el sistema no ha sido optimizado

La novedad de esta metodología radica en el proceso de optimización. La formulación del problema permite obtener un conjunto de moduladores estables de entre los cuales se selecciona el óptimo en función de unos determinados parámetros. Los parámetros elegidos en esta tesis se corresponden con la tolerancia a la cantidad de ELD y de jitter del reloj. No obstante, usando el margen de fase y de ganancia descritos anteriormente se pueden incluir en la optimización todos los efectos lineales que ocurren en el modulador. El caso de los efectos no lineales no puede generalizarse y por lo general se requiere un estudio separado para cada uno de los efectos.

En las siguientes secciones se describe en detalle cada una de las fases de la metodología propuesta.

7.2.1 Fase 1: Selección de parámetros iniciales

A partir del modelo lineal discreto equivalente de un modulador SDTC se puede calcular el rango dinámico esperado según (7.1) donde n es el orden del modulador, M es el número de niveles del cuantificador y OSR es la relación de sobremuestreo.

$$Rango\ Dinámico = \frac{3}{2} \cdot \left(\frac{2n+1}{\pi^{2n}} \right) \cdot (M-1)^2 \cdot OSR^{2n+1} \quad (7.1)$$

El valor obtenido debe tomarse como un límite teórico inalcanzable en la práctica. Si se usan los mismos parámetros n , M y OSR para diseñar una NTF discreta siguiendo el método descrito en [Ada97a] se obtiene un valor similar al de la fórmula, con un margen de 1 bit. Este método permite fijar un valor de la norma infinito de la NTF más elevado cuanto mayor es la resolución del cuantificador. Sin

embargo, es conveniente dejar un margen de estabilidad y fijar la norma infinito de la NTF en un valor inferior.

La regla de Lee establece 1.5 como valor límite práctico de la norma infinito de la NTF para moduladores SD con un cuantificador de 1 bit [Ada97a]. Un criterio conservador puede ser establecer la norma infinito de la NTF como la media entre 1.5 y el valor límite que corresponda a la resolución del cuantificador. Este valor límite sólo puede hallarse por simulación.

7.2.2 Fase 2: Búsqueda de un punto de comienzo

En esta fase se calcula un filtro de tiempo continuo que sirva como punto de comienzo para la optimización.

Considérese el modulador SDTC modelado como se muestra en la figura 7.3 y su función de transferencia en bucle abierto $H_{olp}(s)$ mostrada en la figura 7.2.

$$H_{olp}(s) = H_2(s) \cdot P_{\{\alpha, \beta\}}(s) \cdot e^{-\tau_d \cdot T_s \cdot s} \quad (7.2)$$

El punto de arranque que se pretende buscar corresponde a $ELD=0$, esto es $\tau_d = 0$. El objetivo es buscar un filtro $H_2(s)$ tal que la función $1/(1+H_2(s))$ sea estable y causal.

Los polos de $H_2(s)$ se sitúan, o bien todos en frecuencia cero, o bien distribuidos en el ancho de banda de forma que se minimice la potencia del ruido de cuantificación en la banda de interés.

Figura 7.2 Función de transferencia en bucle abierto

La ganancia G_{H_2} de $H_2(s)$ se fija a una frecuencia baja, alejada del final de la banda.

$$G_{H_2} = |H_2(j\omega_o)| \quad (7.3)$$

donde $\omega = 2\pi f$.

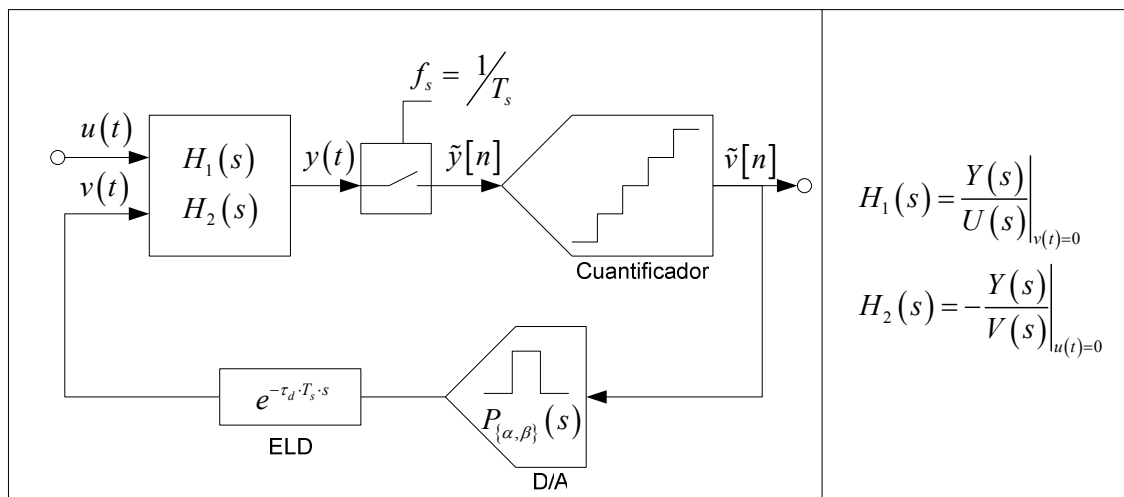
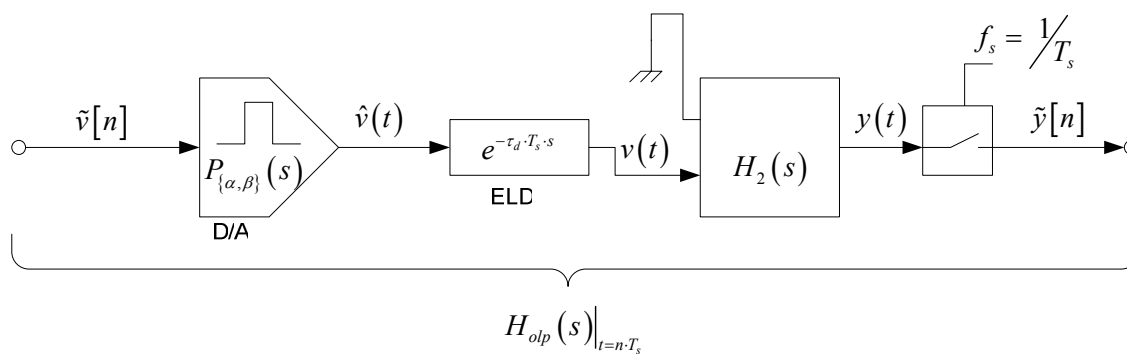


Figura 7.3 Modulador SDTC



Para el cálculo de esta ganancia puede usarse la ganancia cuadrática media en banda necesaria para obtener una determinada resolución a la salida del modulador SDTC.

$$G_{rms} = \frac{2^{\frac{DR[dB]-1.72}{6.01}-M}}{\sqrt{OSR}} \tag{7.4}$$

Posteriormente puede usarse un método iterativo para ajustar la ganancia G_{H_2} o bien una aproximación asintótica.

Los ceros de $H_2(s)$ se pretenden colocar de tal forma que se cumplan las siguientes tres condiciones:

$$\lim_{w \rightarrow \infty} \left| \frac{1}{1 + H_2(jw)} \right| = 1 \tag{7.5}$$

$$\left\| \frac{1}{1+H_2(s)} \right\|_{\infty} = 1 \quad (7.6)$$

$$s_k < 0 / 1+H_2(s_k) = 0 \quad (7.7)$$

El resultado principal de esta fase de diseño es un vector \vec{c} cuyas componentes c_k son dichos ceros.

$$c_k / H_2(c_k) = 0 \quad (7.8)$$

7.2.3 Fase 3: Optimización

El primer paso de esta fase consiste en diseñar y parametrizar el lugar geométrico ξ que contenga a los puntos c_k . Este lugar geométrico constituye una función característica que define la posición de los puntos c_k . De esta forma, modificando los parámetros de dicha función característica, pueden moverse al mismo tiempo y en la misma proporción todos los ceros de $H_2(s)$, lo que reduce el espacio de soluciones a explorar en el proceso de optimización. El segundo paso consiste en encontrar el valor de los parámetros de ξ que sitúa los ceros de tal modo que el modulador tiene un comportamiento óptimo frente a determinados efectos.

Considérese la función característica ξ definida sobre el plano complejo de la forma donde se ha elegido λ_1 y λ_2 como parámetros.

$$\xi: f(\lambda_1, \lambda_2, x, y) = 0 / x = \text{Re}(s); y = \text{Im}(s); c_k \in \xi \quad (7.9)$$

Para seleccionar el modulador óptimo se ha de diseñar una figura de mérito. Esta figura de mérito puede modificarse según el criterio del diseñador. La que se propone en esta tesis pretende evaluar dos efectos:

- Tolerancia del sistema a variaciones de ganancia y/o fase
- Tolerancia del sistema al jitter del reloj

Con estas dos tolerancias se cubren los aspectos más problemáticos del diseño de moduladores SDTC.

La tolerancia del sistema a variaciones de fase la evaluamos como el margen de fase de la función $H_{olp}(s)$. Cuanto mayor sea el margen de fase mayor será la tolerancia a las variaciones de fase.

$$\varphi / e^{-\varphi_j} \cdot H_{olp}(j\omega) = 1 \quad (7.10)$$

La tolerancia del sistema al jitter del reloj la evaluamos por medio de el área de una curva derivada de la NTF, tal y como se describe en el capítulo 6. Cuanto menor sea el área de la curva mayor será la tolerancia del sistema. Esta área viene dada por (7.11), donde $N\tilde{T}F(z)$ corresponde a (4.41).

$$A_{jit} = \sqrt{\frac{1}{\pi} \int_0^{\pi} \left| (1 - e^{-j\omega}) \cdot N\tilde{T}F(e^{j\omega}) \right|^2 d\omega} \quad (7.11)$$

donde $\omega = w \cdot T_s = 2\pi f \cdot T_s$

El resultado de esta fase de diseño es la solución al siguiente problema de optimización:

$$\text{Objetivo: } (\lambda_1, \lambda_2)_{opt} / \begin{cases} \max(\varphi) \\ \min(A_{jit}) \end{cases}$$

Restricciones:

$$z_k < 1 - \varepsilon / 1 + \tilde{H}_2(z_k) = 0 \quad (7.12)$$

$$\|N\tilde{T}F(e^{j\omega})\|_{\infty} \leq C_z$$

$$\left\| \frac{1}{1 + H_{olp}(j\omega)} \right\|_{\infty} \leq C_s$$

donde ε , C_z y C_s son constantes que dependen de la resolución M del cuantificador.

Las tres restricciones que se han considerando responden a criterios de estabilidad. La primera de ellas es una condición de estabilidad sobre el sistema lineal en tiempo discreto $N\tilde{T}F(z)$. La cantidad ε se ha introducido para añadir un margen de seguridad al diseño. Las otras dos restricciones corresponden a criterios experimentales. Las constantes C_z y C_s han de fijarse por simulación exhaustiva.

Si no es posible encontrar una solución dentro del conjunto de restricciones se hace necesario tomar alguna de las siguientes medidas:

- Volver a la fase 2 de diseño pero exigiendo una resolución inferior para el modulador SDTC
- Introducir en la función $H_2(s)$ un cero real fuera de la banda e incluir su posición en el proceso de optimización. En este caso, si w_{fbe} es la posición en frecuencia del cero añadido, la función objetivo del problema de optimización queda reformulada como:

$$\text{Objetivo: } (\lambda_1, \lambda_2, w_{fbe})_{opt} / \begin{cases} \max(\varphi) \\ \min(A_{jit}) \end{cases} \quad (7.13)$$

7.2.4 Fase 4: Selección de la topología de implementación

En esta fase de diseño se selecciona, a nivel de sistema, una topología de implementación para los filtros $H_1(s)$ y $H_2(s)$, y un juego de coeficientes base.

La función $H_2(s)$ ha quedado definida en las fases anteriores de diseño. La función $H_1(s)$ depende de la especificación de STF.

Considérese la familia de arquitecturas descrita en el capítulo 3. Esta familia se ha dividido a su vez en tres subfamilias denominadas como:

- MP o Múltiples Prealimentaciones
- MR o Múltiples Realimentaciones
- MPyR o Múltiples Prealimentaciones y Realimentaciones

A continuación se describen las características de cada una de ellas.

7.2.4.1 Topología MP

Esta topología viene caracterizada por las siguientes matrices extendidas:

$$ABCD_{n\text{ par}} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & c_1 \\ c_2 & 0 & 0 & \vdots & b_2 \cdot c_2 & 0 \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & & \\ 0 & \cdots & c_n & -g_{(n/2)} \cdot c_{(n-1)} & b_n \cdot c_n & 0 \\ \hline d_1 & & & d_n & b_{(n+1)} & fbe \end{array} \right) \quad (7.14)$$

$$ABCD_{n\text{ impar}}^{1R} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & c_1 \\ c_2 & 0 & 0 & \vdots & b_2 \cdot c_2 & 0 \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & & \\ 0 & \cdots & c_n & 0 & b_n \cdot c_n & 0 \\ \hline d_1 & & & d_n & b_{(n+1)} & fbe \end{array} \right) \quad (7.15)$$

$$ABCD_{n\text{ impar}}^{1I} = \left(\begin{array}{cccc|cc} 0 & 0 & \cdots & 0 & b_1 \cdot c_1 & c_1 \\ c_2 & 0 & -g_1 \cdot c_2 & \vdots & b_2 \cdot c_2 & 0 \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & & \\ 0 & \cdots & c_n & -g_{(n-1)/2} \cdot c_{(n-1)} & b_n \cdot c_n & 0 \\ \hline d_1 & & & d_n & b_{(n+1)} & fbe \end{array} \right) \quad (7.16)$$

Los coeficientes a_i se han eliminado exceptuando $a_1 = 1$. Los coeficientes b_i determinan la STF de la siguiente forma:

$$\begin{cases} b_i = a_i \text{ y } b_{n+1} = 1 \Rightarrow STF = 1 \\ b_i = a_i \text{ y } b_{n+1} = 0 \Rightarrow STF = \text{paso - bajo } 1^{er} \text{ orden} \\ b_i \neq a_i \neq 0 \Rightarrow STF = \text{paso - todo} \end{cases} \quad (7.17)$$

En este caso el juego de coeficientes base se calcula fijando los coeficientes c_i a 1. Una vez calculados los coeficientes d_i (y g_i si los polos de $H_2(s)$ son complejos conjugados) se pueden fijar la STF y los coeficientes b_i con total independencia.

7.2.4.2 Topología MR

Esta topología viene caracterizada por las siguientes matrices extendidas:

$$ABCD_{n \text{ par}} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & 0 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & -g_{(n/2)} \cdot c_{(n-1)} & \\ 0 & \cdots & c_n & 0 & b_n \cdot c_n & a_n \cdot c_n \\ \hline 0 & & \cdots & 0 & 1 & b_{(n+1)} \quad fbe \end{array} \right) \quad (7.18)$$

$$ABCD_{n \text{ impar}}^{IR} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & 0 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & 0 & \\ 0 & \cdots & c_n & 0 & b_n \cdot c_n & a_n \cdot c_n \\ \hline 0 & & \cdots & 0 & 1 & b_{(n+1)} \quad fbe \end{array} \right) \quad (7.19)$$

$$ABCD_{n \text{ impar}}^{II} = \left(\begin{array}{cccc|cc} 0 & 0 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & -g_1 \cdot c_2 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & -g_{(n-1)/2} \cdot c_{(n-1)} & \\ 0 & \cdots & c_n & 0 & b_n \cdot c_n & a_n \cdot c_n \\ \hline 0 & & \cdots & 0 & 1 & b_{(n+1)} \quad fbe \end{array} \right) \quad (7.20)$$

Los coeficientes d_i se han eliminado exceptuando $d_n = 1$. Los coeficientes b_i determinan la STF de la siguiente forma:

$$\begin{cases} b_i = a_i \text{ y } b_{n+1} = 1 \Rightarrow STF = 1 \\ b_i = a_i \text{ y } b_{n+1} = 0 \Rightarrow STF = \text{paso-bajo } 1^{er} \text{ orden} \\ b_i = 0 \Rightarrow STF = \text{paso-bajo orden } n \\ b_i \neq a_i \neq 0 \Rightarrow STF = \text{paso-todo} \end{cases} \quad (7.21)$$

En este caso se puede elegir el orden del filtro anti-aliasing que puede implementar STF.

El juego de coeficientes base se calcula fijando los coeficientes c_i a 1. Una vez calculados los coeficientes a_i (y g_i si los polos de $H_2(s)$ son complejos conjugados) se pueden fijar la STF y los coeficientes b_i con total independencia.

7.2.4.3 Topología MPyR

Esta topología viene caracterizada por las siguientes matrices extendidas:

$$ABCD_{n\text{ par}} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & 0 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & -g_{(n/2)} \cdot c_{(n-1)} & \\ 0 & \cdots & c_n & 0 & b_n \cdot c_n & a_n \cdot c_n \\ \hline d_1 & & \cdots & d_n & b_{(n+1)} & fbe \end{array} \right) \quad (7.22)$$

$$ABCD_{n\text{ impar}}^{1R} = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & 0 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & 0 & \\ 0 & \cdots & c_n & 0 & b_n \cdot c_n & a_n \cdot c_n \\ \hline d_1 & & \cdots & d_n & b_{(n+1)} & fbe \end{array} \right) \quad (7.23)$$

$$ABCD_{n\text{ impar}}^{1I} = \left(\begin{array}{cccc|cc} 0 & 0 & \cdots & 0 & b_1 \cdot c_1 & a_1 \cdot c_1 \\ c_2 & 0 & -g_1 \cdot c_2 & \vdots & \vdots & \vdots \\ & \ddots & 0 & \ddots & \vdots & \vdots \\ \vdots & & \ddots & 0 & -g_{(n-1)/2} \cdot c_{(n-1)} & \\ 0 & \cdots & c_n & 0 & b_n \cdot c_n & a_n \cdot c_n \\ \hline d_1 & & \cdots & d_n & b_{(n+1)} & fbe \end{array} \right) \quad (7.24)$$

Tanto los coeficientes d_i como los a_i se suponen distintos de cero. En este caso todos los coeficientes d_i , a_i y b_i determinan la STF, aunque sólo los b_i no tienen influencia sobre la NTF.

En este caso el juego de coeficientes base se calcula fijando los coeficientes c_i a 1 y especificando al mismo tiempo la STF.

7.2.4.4 Escalado de las variables de estado

El objetivo perseguido en esta etapa de diseño es conseguir un escalado de las variables de estado que minimice la distorsión generada. El método clásico para moduladores sigma-delta en tiempo discreto, consiste en realizar los siguientes pasos [Nor97]:

- 1) Realizar varias simulaciones temporales con un juego de coeficientes base o de partida que permitan determinar la amplitud máxima estable del modulador
- 2) Registrar el valor máximo estable de cada una de las variables de estado
- 3) Escalar las matrices de estado de los sistemas lineales $H_1(s)$ y $H_2(s)$ de forma que se limiten los rangos dinámicos de las variables de estado a los valores deseados.

Este método garantiza un rango dinámico limitado de las variables de estado de forma que la distorsión se ve reducida. Sin embargo es necesario un criterio para decidir cual es el límite apropiado para el rango dinámico de las variables de estado.

El mapa de variables de estado varía dependiendo de si se consideran los integradores ideales o con distorsión, ya que el sistema deja de ser lineal. Por este motivo, si se simula el sistema con el escalado obtenido según los pasos anteriores usando modelos no lineales para amplificadores operacionales y transconductancias, se obtienen valores diferentes a los esperados para las variables de estado.

Además no se puede asignar cualquier valor a los coeficientes de la arquitectura. A menudo hay limitaciones prácticas que impiden su implementación. Pero aún a pesar de ello hay un número muy elevado de posibilidades.

Para resolver este problema se ha optado por realizar el paso 3) de forma iterativa, dentro de un bucle de búsqueda del escalado óptimo [Fru04].

El principio de funcionamiento del algoritmo de búsqueda está basado en un algoritmo de tipo evolutivo [Gol89]. Hay una función objetivo y un conjunto de restricciones que define el mapa de soluciones posibles. El algoritmo comienza la búsqueda en un punto aleatorio del espacio de soluciones y evalúa el diferencial de la función objetivo en todas las direcciones posibles del espacio de soluciones. El siguiente punto de búsqueda lo coloca en el camino de mayor contribución a la optimización de la función objetivo. La búsqueda finaliza cuando no se obtiene mejora en ninguna dirección dentro del espacio de soluciones.

Como función objetivo se ha elegido el tercer armónico obtenido por simulación temporal del modulador con un tono de prueba. Dado que las simulaciones temporales de moduladores sigma-delta en tiempo continuo son computacionalmente costosas se ha eliminado el cuantificador del modelo, de modo que todas las señales tienen transiciones suaves y el paso de simulación puede incrementarse. Los armónicos obtenidos con este modelo no corresponden en absoluto con los verdaderos pero constituyen una buena figura de mérito para seleccionar el escalado óptimo de las variables de estado.

Matemáticamente el planteamiento del problema es el siguiente

$$\begin{aligned}
 & \text{Objetivo : } (x_i)_{opt} / \max(HD3) \\
 & \text{Restricciones :} \\
 & x_{i\min} \leq x_i \leq x_{i\max} \\
 & a_{i\min} \leq a_i \leq a_{i\max} \\
 & b_{i\min} \leq b_i \leq b_{i\max} \\
 & c_{i\min} \leq c_i \leq c_{i\max} \\
 & d_{i\min} \leq d_i \leq d_{i\max} \\
 & g_{i\min} \leq g_i \leq g_{i\max} \\
 & \sum_{i=1}^n a_i \leq A_{\max} \\
 & \sum_{i=1}^n b_i \leq B_{\max} \\
 & \sum_{i=1}^n c_i \leq C_{\max} \\
 & \sum_{i=1}^n d_i \leq D_{\max} \\
 & \sum_{i=1}^n g_i \leq G_{\max} \\
 & b_{n1\min} \leq b_{n+1} \leq b_{n1\max} \\
 & i = 1, 2..n
 \end{aligned} \tag{7.25}$$

7.2.5 Fase 5: Simulación de efectos lineales y no lineales.

En esta última fase de diseño a nivel de sistema se simulan los efectos lineales y no lineales descritos en los capítulos anteriores. El objetivo es evaluar el impacto de cada uno de ellos sobre la estabilidad y la resolución del sistema a fin de poder

especificar detalladamente cada uno de los circuitos a implementar y/o modificar el diseño a nivel de sistema.

Las simulaciones más habituales incluyen los siguientes efectos:

- Ancho de banda finito de los elementos activos
- Linealidad finita de los convertidores D/A
- Jitter del reloj
- Tolerancias de los componentes pasivos (análisis de Montecarlo)

7.3 Desarrollo de una herramienta software para diseño de moduladores SDTC

Para comprobar la metodología de diseño propuesta se ha desarrollado una herramienta software que cubre las fases 2 y 3 en su totalidad y algunas otras de forma parcial.

En esta sección se detallan los algoritmos que implementan la metodología propuesta. En la siguiente sección se describe la integración de estos algoritmos en una interfaz gráfica para Matlab.

7.3.1 Algoritmo de posicionamiento de los polos de $H_2(s)$ (Fase 2)

El algoritmo usado para posicionar los ceros de la NTF es el que se detalla en [Ada97a]. En lugar de implementar un algoritmo propio se han usado las funciones disponibles en la biblioteca *delsig* [Sch03] de Matlab. Estas funciones usan la tabla 7.1 para distribuir los ceros en el ancho de banda.

Una vez obtenidos los ceros de la NTF se calculan los polos de $H_2(s)$ sin más que trasladar las frecuencias del dominio discreto al dominio de tiempo continuo, según la siguiente expresión, donde ntf_c_k son los ceros de la NTF, p_k son los polos de $H_2(s)$ y f_s la frecuencia de muestreo.

$$p_k = \ln(n\tau f - c_k) \cdot f_s \quad (7.26)$$

Tabla 7.1 Posición normalizada de los ceros de la NTF para obtener la mínima potencia en banda de ruido de cuantificación

n	Posición de los ceros (normalizada a $f_s / (2 \cdot OSR)$)
1	0
2	± 0.57735
3	0, ± 0.77460
4	$\pm 0.11559, \pm 0.74156$
5	0, $\pm 0.28995, \pm 0.82116$
6	$\pm 0.23862, \pm 0.66121, \pm 0.93247$

7.3.2 Algoritmo de búsqueda de un punto inicial (Fase 2)

Se ha optado por diseñar y parametrizar el lugar geométrico ξ de los ceros de $H_2(s)$ incluso antes de la búsqueda del punto inicial. Como primera aproximación al problema se han estudiado las funciones características de diferentes filtros analógicos clásicos: butterworth, chebyshev tipo I, elíptico. En la tabla 7.2 se muestran algunos resultados comparativos. Todos los diseños se han hecho siguiendo la metodología propuesta y en todos los casos se trata de un modulador de cuarto orden, con 2 bits en el cuantificador, una relación de sobremuestreo de 12 y un ELD del 20% sin compensación. De esta tabla se deduce que la mejor resolución con el mayor margen de fase se obtiene usando una función característica de tipo elíptica.

La función característica de un filtro elíptico depende de tres parámetros, típicamente la frecuencia de corte, el rizado en la banda de paso y la atenuación en la banda eliminada. En general el rizado en la banda de paso se mantiene reducido y la atenuación en la banda eliminada se mantiene elevada. Estos parámetros determinan

cómo es el paso por 0dB del módulo del filtro. Para que el sistema sea lo más estable posible $H_{op}(s)$ debe ser de primer orden a la frecuencia de paso por 0dB.

La búsqueda del punto inicial para el proceso de optimización usa una de las funciones características mencionadas y se realiza de forma exhaustiva, comenzando por una frecuencia de corte igual al ancho de banda del modulador, aumentándola según un paso concreto, y finalizando en la mitad de la frecuencia de muestreo. Si la búsqueda no ha tenido éxito se reduce el paso elegido y, comenzando de nuevo por la frecuencia de corte igual al ancho de banda del modulador, se reduce hasta alcanzar una determinada fracción del ancho de banda. La búsqueda finaliza cuando se cumplan las condiciones (7.5), (7.6) y (7.7)

Tabla 7.2 Tabla comparativa de diferentes funciones características

Función característica tipo	Butterworth	Chebysheb I	Elíptico
Frecuencia de corte (MHz)	16	17.5	16.5
Rizado en la banda de paso (dB)	-	0.5	0.5
Rizado en la banda de atenuación (dB)	-	-	25
Ganancia en continua (dB)	40	40	40
Margen de fase (°)	10.5	21.3	23.7
$\ N\tilde{T}F(e^{j\omega})\ _{\infty}$	5.1	2.8	2.6
SNR (dB) (Tono de -2dB @ BW/2)	0 (Inestable)	59	61

En la práctica se admiten desviaciones leves en las condiciones (7.5) y (7.6) que deberán reducirse si se disminuye el paso de la búsqueda.

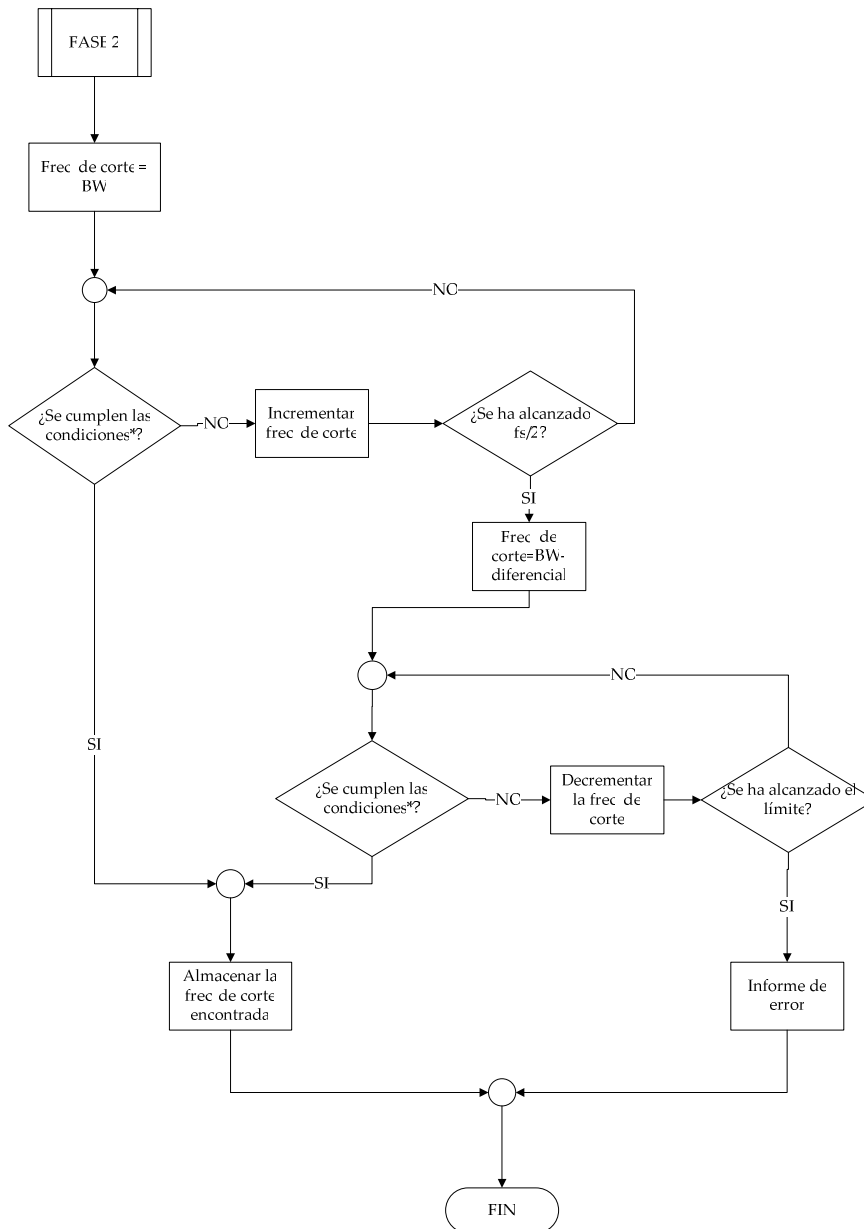


Figura 7.4 Diagrama de flujo de la fase 2. (*) Se refiere a (7.5), (7.6), (7.7)

7.3.3 Algoritmo de búsqueda del modulador óptimo (Fase 3)

El problema de optimización enunciado en la sección 7.2.3 se ha implementado en la práctica como un proceso de búsqueda. De este modo se ha simplificado de la siguiente forma:

- La función objetivo se ha convertido en una figura de mérito que es evaluada a cada paso de iteración. Esta figura de mérito se ha definido como

$$FOM = \varphi - A_{jii} \quad (7.27)$$

- Para que el modulador cumpla las restricciones se añade a $H_2(s)$ un cero a la mitad de la frecuencia de muestreo.
- El cero de alta frecuencia es desplazado a frecuencias inferiores en cada paso de iteración hasta llegar a la frecuencia máxima del ancho de banda.
- La búsqueda finaliza cuando ya no se puede mejorar la figura de mérito.

La figura 7.5 muestra un diagrama de flujo del algoritmo.

7.3.4 Topologías contempladas (Fase 4)

De entre las topologías descritas en la fase 4 sólo se han implementado las siguientes:

- Topología MP con $b_1 = 1$ y $b_i = 0$ para $i = 2..n+1$, denominada en la herramienta como *MFF*
- Topología MR con $b_1 = 1$ y $b_i = 0$ para $i = 2..n+1$, denominada en la herramienta como *MFB*
- Topología MR con $b_{n+1} = 1$ y $b_i = a_i$ para $i = 1..n$, denominada en la herramienta como *MFB(bi)*
- Topología MPyR con $b_1 = 1$ y $b_i = 0$ para $i = 2..n+1$, denominada en la herramienta como *MFBMFF*

Todos los juegos de coeficientes se calculan fijando $c_i = 1$. De esta forma se obtienen los coeficientes base para la optimización frente a distorsión que realiza la herramienta previamente descrita *Optool*.

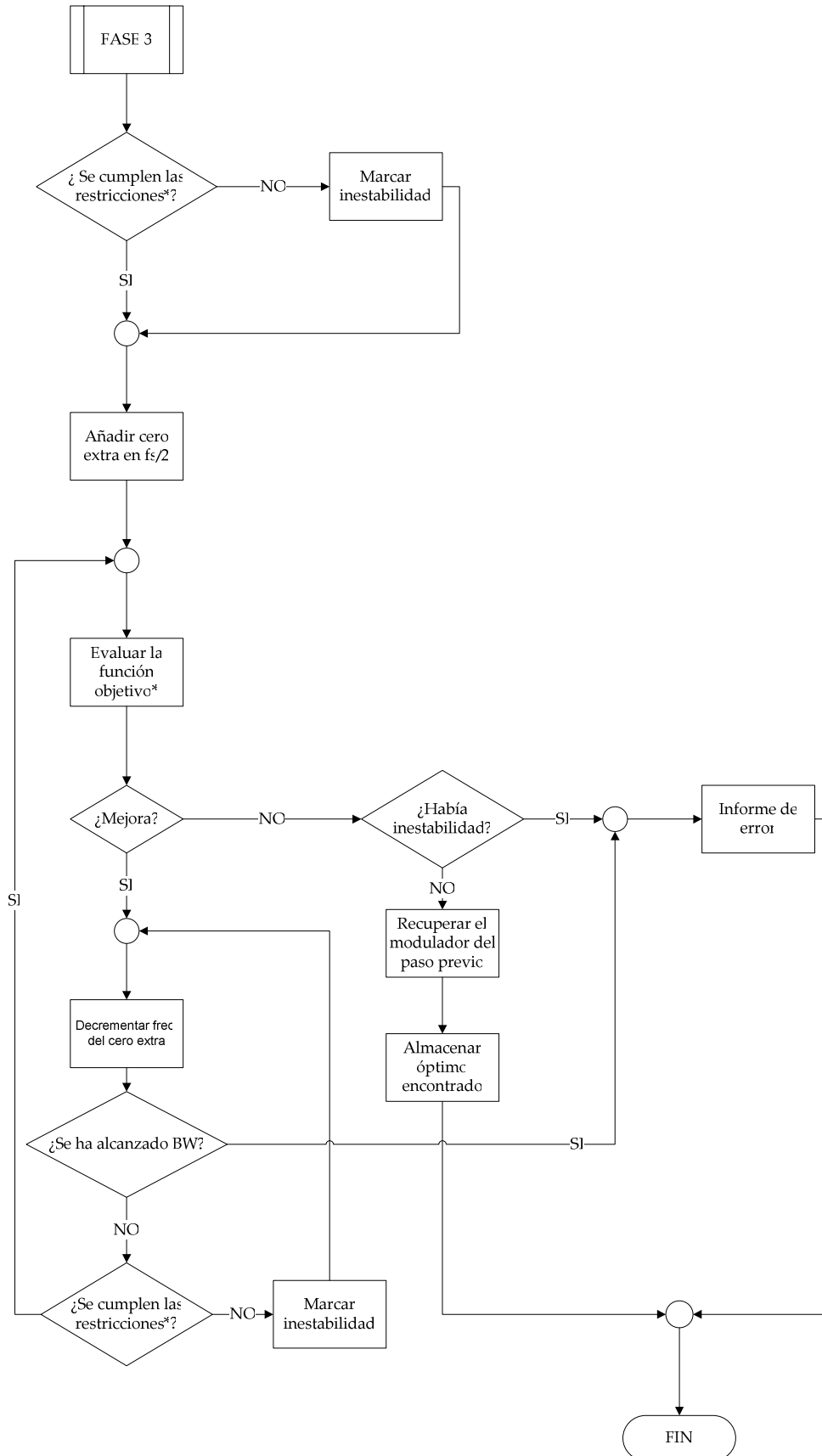


Figura 7.5 Diagrama de flujo de la fase 3. (*) Se refiere a (7.13)

7.3.5 Algoritmo para el escalado de las variables de estado (Fase 4)

El algoritmo evolutivo que resuelve (7.25) se ha implementado en Matlab junto a una interfaz gráfica que simplifica su uso. La figura 7.6 muestra una captura de pantalla de esta interfaz gráfica.

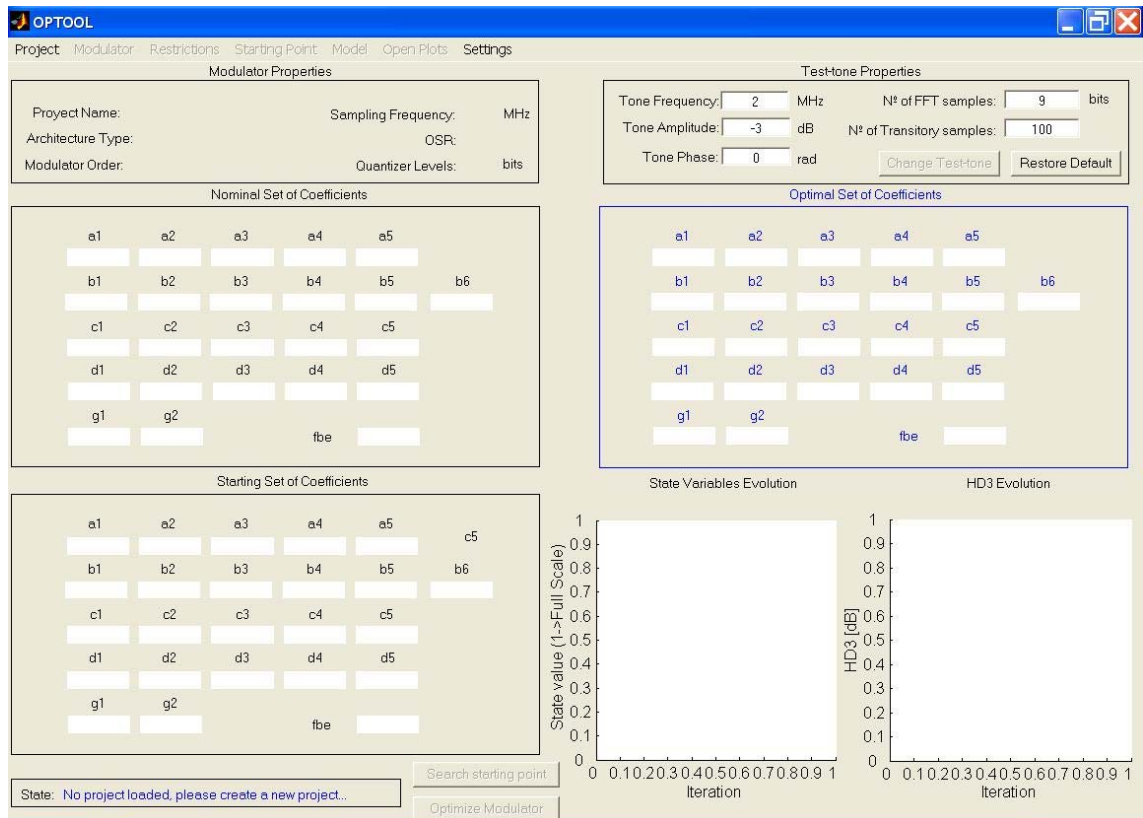


Figura 7.6 Captura de pantalla de la interfaz gráfica de la herramienta para el escalado óptimo de las variables de estado [Fru04]

7.4 Desarrollo de la herramienta en Matlab: ANATEST

Los algoritmos descritos en la sección anterior se han integrado en una interfaz gráfica (distinta de la mostrada en la figura 7.6) que simplifica la labor del diseñador. El objetivo inicial de la interfaz gráfica no ha sido su uso comercial sino proporcionar un medio de rápida evaluación, depuración y mejora de la técnica de diseño que se estaba investigando. Por este motivo, la interfaz contiene información accesoria y redundante que no es útil para un usuario comercial.

La programación de la herramienta se ha hecho de la forma más abierta posible. Se han tenido en cuenta diferentes modos para evaluar el uso de varias funciones características en el diseño de $H_2(s)$. En la figura 7.7 se muestra una captura de pantalla de la herramienta. Sobre ella se han resaltado distintos bloques: Menú, Control, Entrada de datos y Representaciones del análisis lineal.

El diagrama de flujo de diseño mostrado en la figura 7.8 muestra qué partes de la interfaz gráfica hay que usar para cada fase del diseño. En las figuras 7.9 a 7.15 se muestran detalles ampliados de la interfaz gráfica.

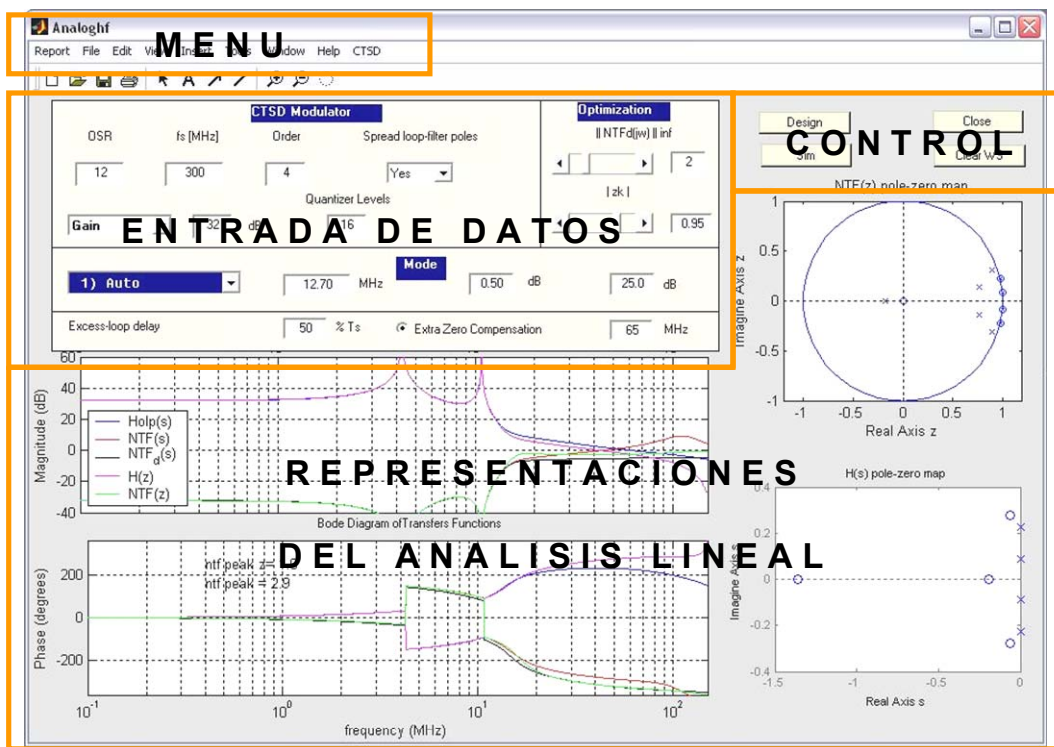


Figura 7.7 Interfaz gráfica de la herramienta ANATEST

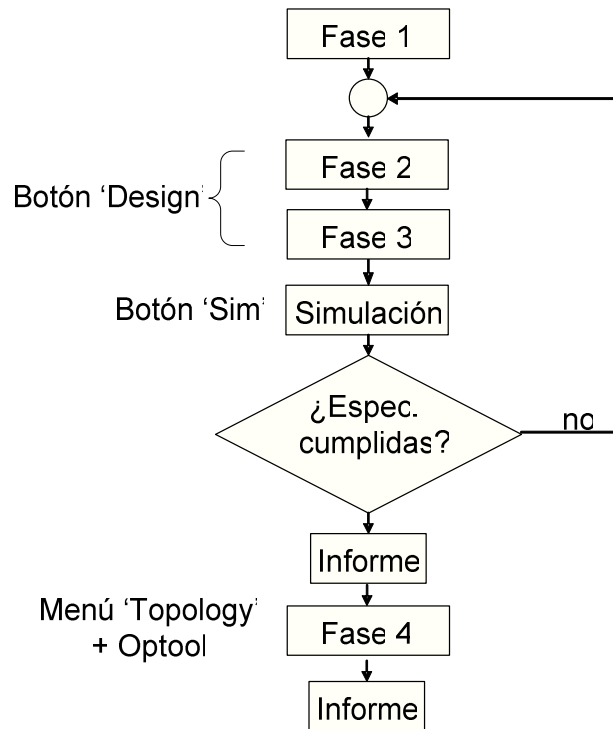


Figura 7.8 Diagrama de flujo del proceso de diseño y su relación con la herramienta ANATEST

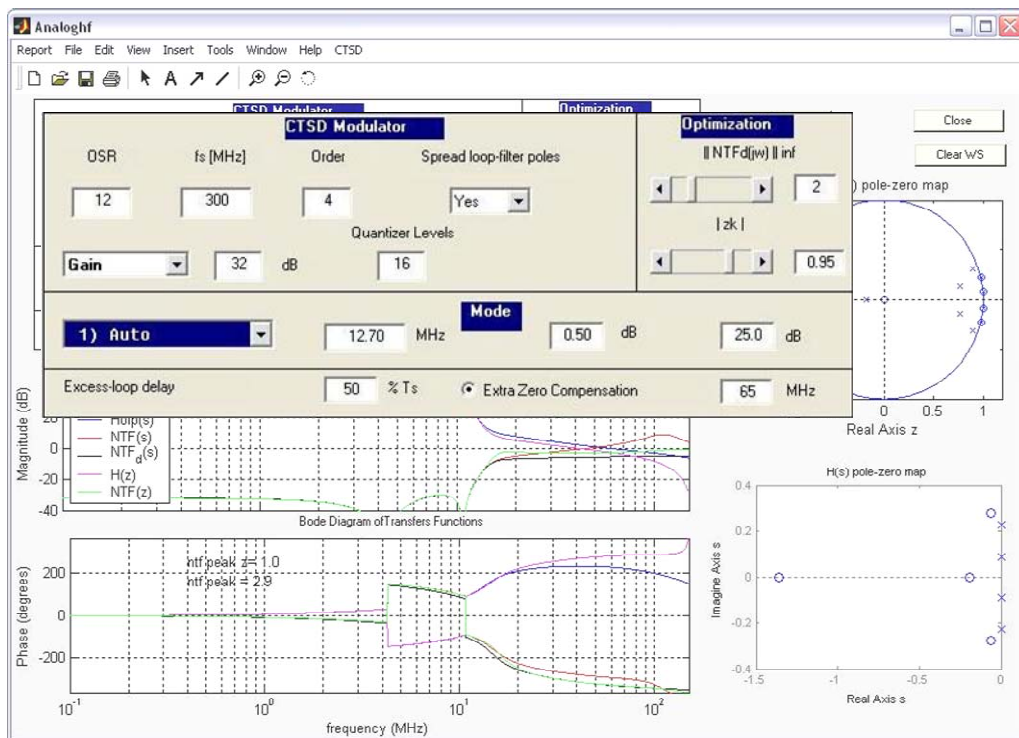


Figura 7.9 Detalle del bloque Entrada de datos.

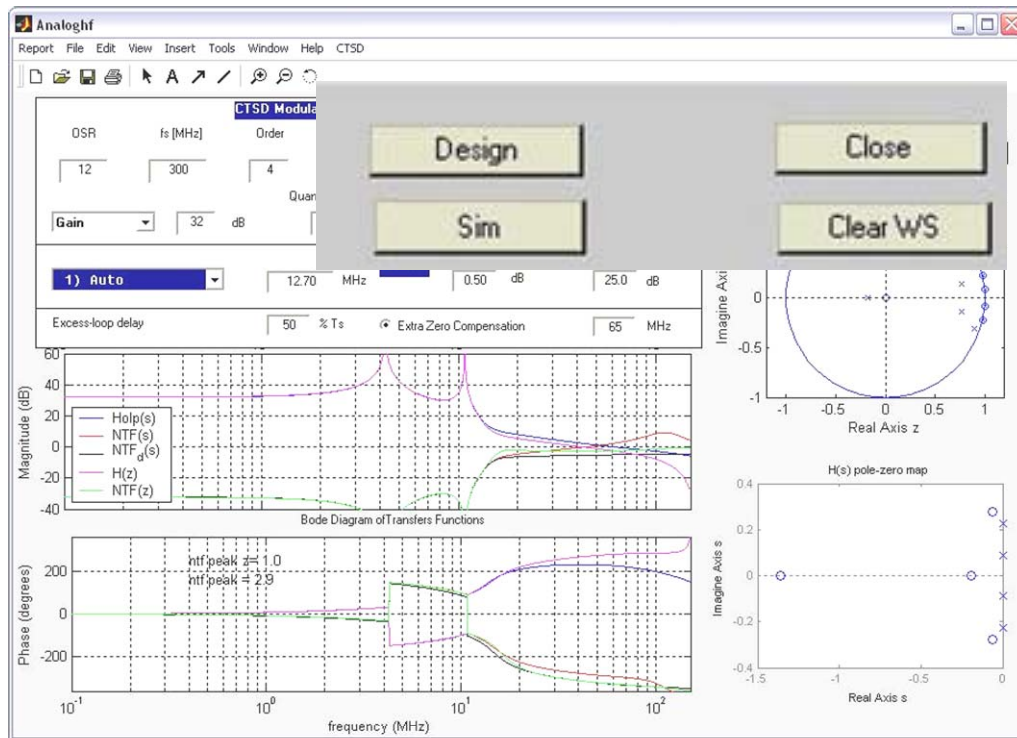


Figura 7.10 Detalle del bloque Control

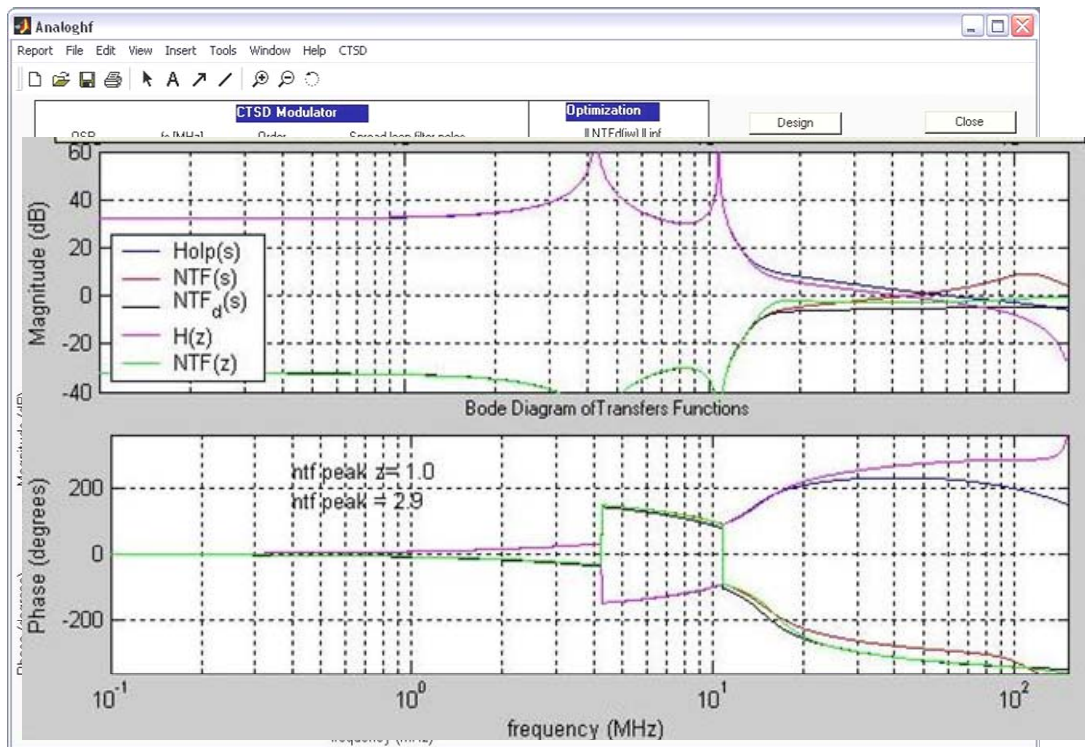


Figura 7.11 Detalle del bloque Representaciones del análisis lineal: diagramas de Bode.

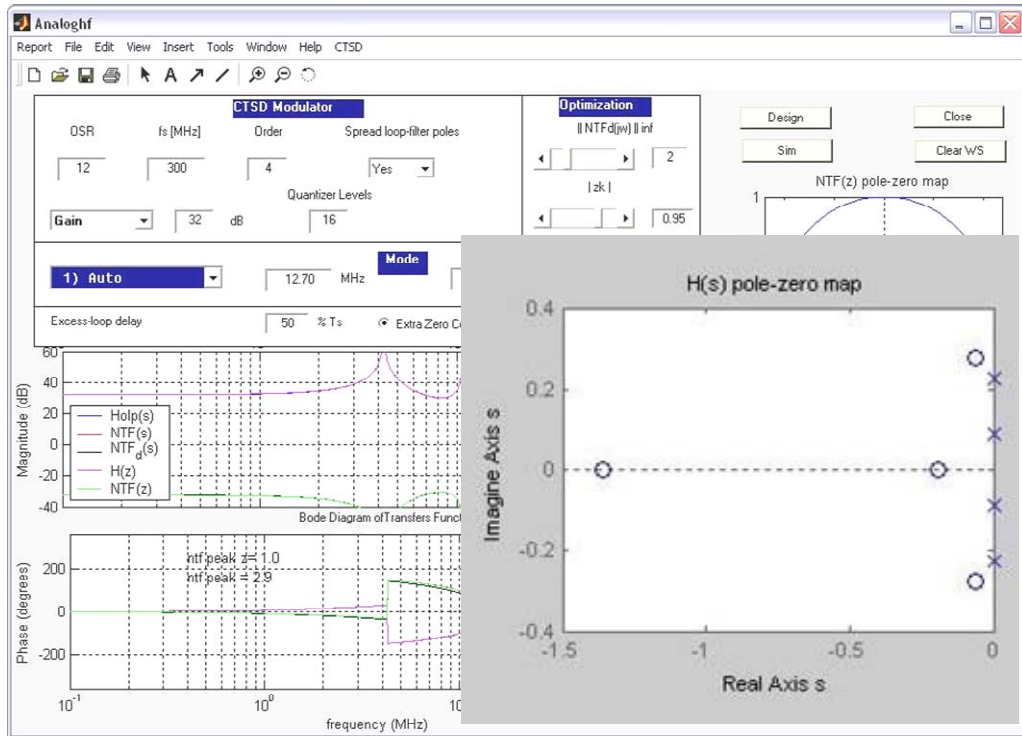


Figura 7.12 Detalle del bloque Representaciones del análisis lineal: diagrama polo-cero de $H_2(s)$

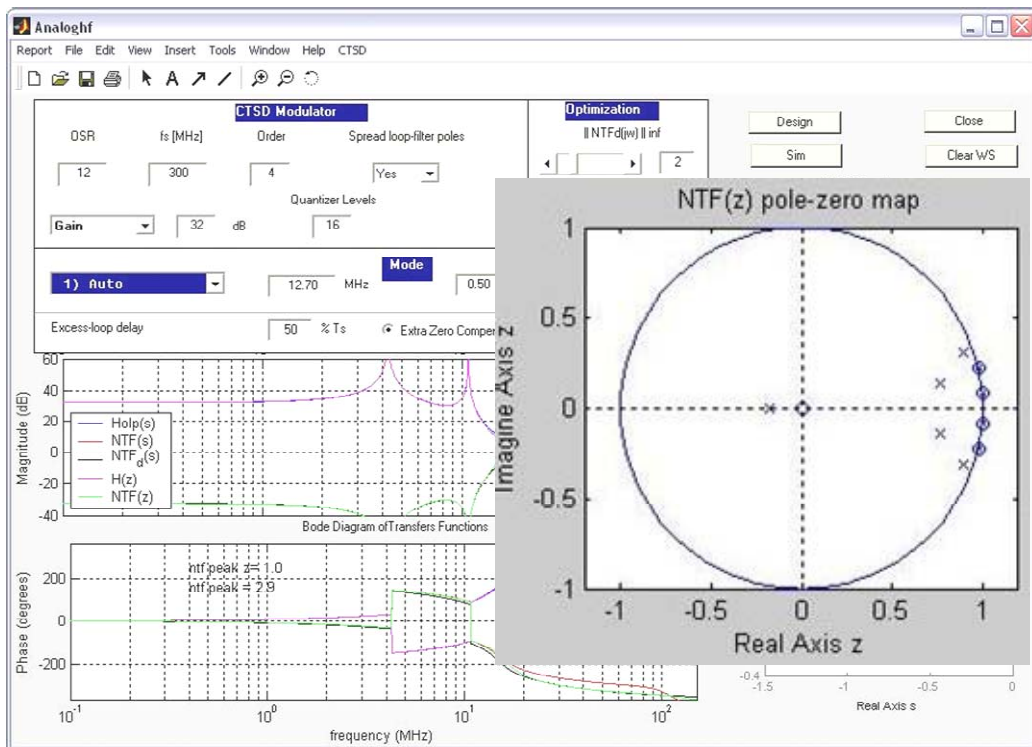


Figura 7.13 Detalle del bloque Representaciones del análisis lineal: diagrama polo-cero de $\tilde{N}TF(z)$

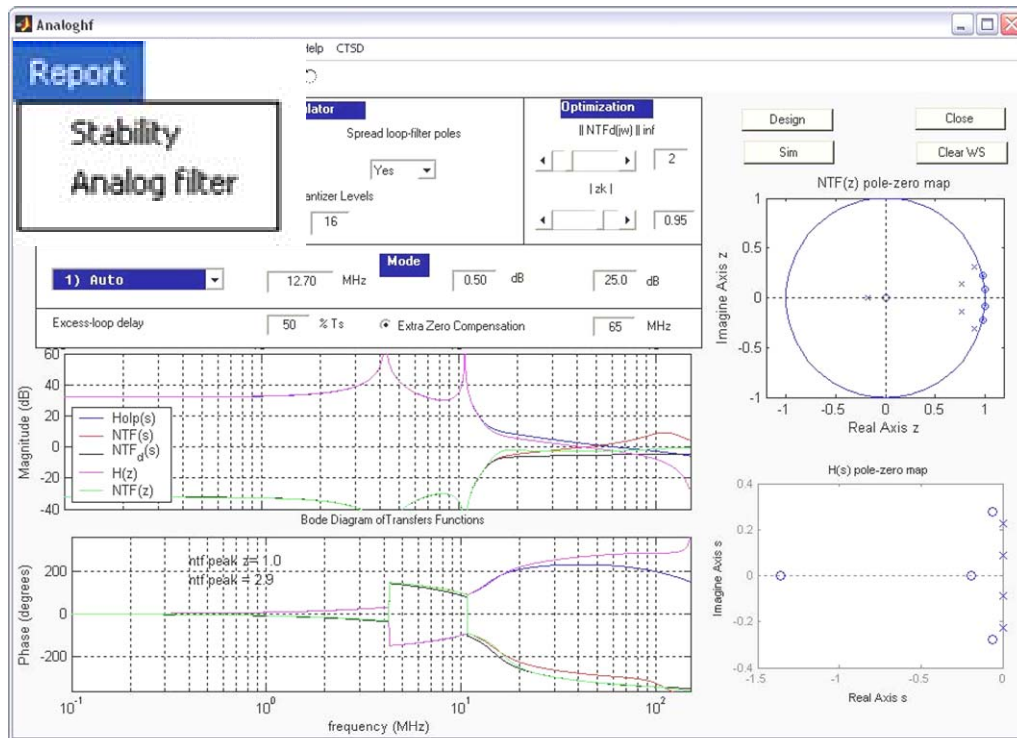


Figura 7.14 Detalle del bloque Menú: Menú de Informes

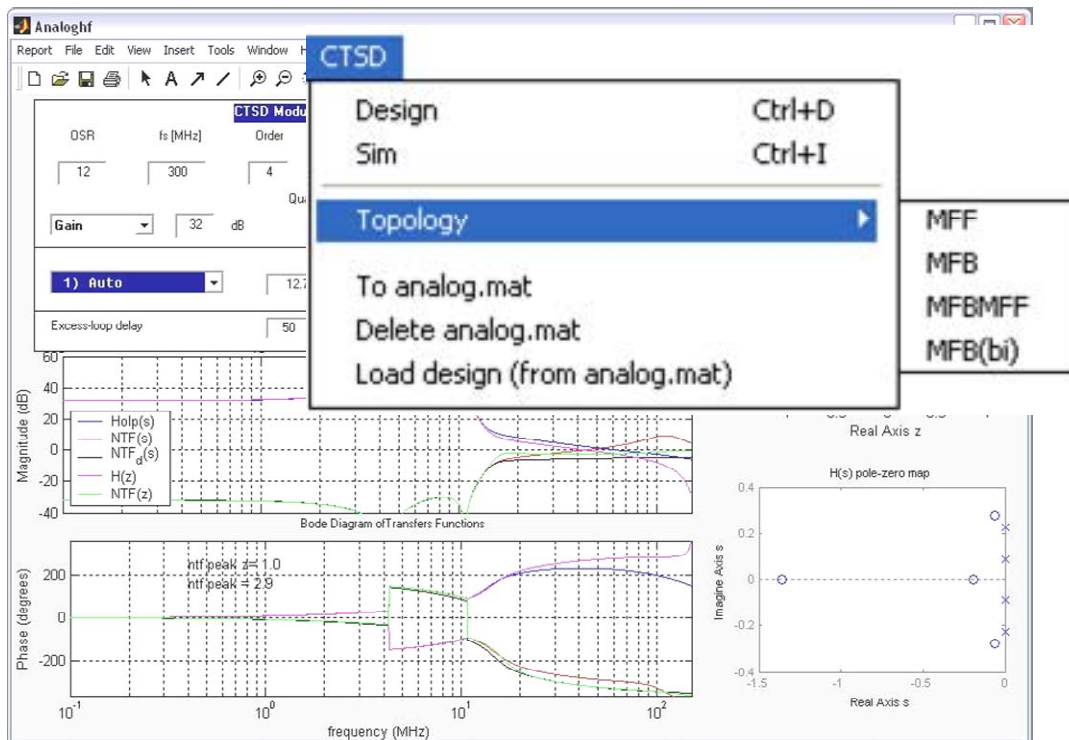


Figura 7.15 Detalle del bloque Menú: Menú general²

Existen tres modos de diseño principales contemplados en la herramienta y denominados como *Automatic*, *Manual* y *Custom*. El modo *Automatic* realiza los

² Véase la sección 7.3.4

algoritmos descritos en la sección anterior de forma automática empleando una función característica de tipo elíptico para colocar los ceros de $H_2(s)$. El modo *Manual* no existe como tal, sino que se ofrecen una variedad de funciones características para colocar los ceros de $H_2(s)$. Además no se emplea ningún algoritmo. En estos modos el botón '*Design*' calcula todas las funciones de transferencia, evalúa φ y A_{ji} , representa los diagramas polo-cero así como los de Bode y genera los informes de estabilidad. Por último el modo '*Custom*' permite usar una función característica diferente a las anteriores o bien otros algoritmos de optimización. Es un modo dedicado a la investigación de nuevos algoritmos.

En [Ber04] puede encontrarse una descripción detallada de los diferentes modos así como algunos ejemplos de utilización.

Capítulo 8

Ejemplo de aplicación: Diseño de un modulador SDTC de 4º orden

En este capítulo se describe el diseño de un modulador SDTC desarrollado en colaboración con el centro de diseño de Infineon Technologies situado en Villach, Austria. El objetivo principal del proyecto es desarrollar un convertidor A/D a partir de un modulador SDTC que sea competitivo con los de tipo pipeline, que vienen cubriendo las aplicaciones de alta velocidad. En este marco se han desarrollado y fabricado 3 generaciones de moduladores SDTC hasta la fecha de escritura de este documento. La primera generación ofreció resultados satisfactorios como posibles competidores de los convertidores tipo pipeline. Es esta generación la única que ha sido divulgada [Pat04b] y la que se describe en este capítulo como ejemplo de aplicación.

El desarrollo de la arquitectura y el diseño se ha dividido en dos grandes partes: el diseño a nivel de sistema (arquitectura, coeficientes, desarrollo de especificaciones para los distintos bloques) realizado en el grupo de Microelectrónica de la Universidad Carlos III de Madrid; y el diseño a nivel de transistor (topología de los amplificadores y demás etapas activas, diseño de esquemáticos, lay-out) realizado en el centro de diseño de Infineon Technologies situado en Villach, Austria. La fabricación de los circuitos integrados y su caracterización se ha llevado a cabo en Infineon Technologies, aunque ocasionalmente el grupo de Microelectrónica ha colaborado en las medidas experimentales y evaluación del circuito.

El diseño a nivel de sistema ha motivado el contenido de esta tesis doctoral mientras que el diseño a nivel de transistor ha motivado el contenido de la tesis doctoral de Antonio Di Giandomenico, Infineon Technologies.

8.1 Requisitos del diseño

En la tabla 8.1 se muestran las especificaciones iniciales que se pretendían alcanzar con este diseño. El ancho de banda y la relación de sobremuestreo no están totalmente definidos. Esto es debido a que se busca encontrar una configuración que sea competitiva. En cualquier caso la frecuencia máxima de reloj está fijada en 400MHz.

Finalmente, surgieron dos diseños en esta generación. Uno de ellos tiene el menor ancho de banda con la relación de sobremuestreo mayor [Pat04a] y el otro a la inversa [Gia03b], [Pat04b]. El primero de ellos tiene una SNR superior al segundo precisamente debido al incremento de la relación de sobremuestreo. No obstante es más inestable debido al uso de 400MHz como frecuencia de reloj, donde la tecnología empleada se encuentra al límite de sus posibilidades en cuanto a distorsión y consumo de potencia.

El capítulo se centra en el diseño de mayor ancho de banda.

Tabla 8.1 Especificaciones de diseño

Interfase analógica	
Ancho de banda de entrada	12MHz ~ 15MHz
Entrada	diferencial
Interfase digital	
Salida	Serie
Niveles entradas/salidas	2.5V CMOS
Interfase para propósitos de test y programación	SPI
Relación de sobremuestreo	10 ~ 16
Reloj de muestreo	externo
Retardo de bucle en exceso	1 ciclo de reloj

Fuente de alimentación	
Núcleo del modulador	1.2V
Entradas/Salidas Digitales	2.5V
Consumo	<80mA 11bits efectivos
Tecnología	
Proceso	0.12µm CMOS digital
Características	
SNR	>68dB en todo el ancho de banda
SFDR	60dBc con 0dB de señal de entrada (respecto del valor de plena escala) 66dBc con -6dB 72dBc con -12dB

8.2 Tecnología de implementación

El modulador que aquí se presenta se ha diseñado y fabricado en tecnología CMOS de 0.13µm con 6 capas de metal y sin ninguna opción de proceso especial. Todos los transistores MOS tienen una tensión umbral nominal, ya que se usan pozos N para implementar los transistores PMOS. Cada transistor tiene disponible la conexión del sustrato para reducir el efecto que produce la tensión del sustrato sobre la tensión umbral en caso de que se necesite.

Los condensadores disponibles son de tipo "Grid-cap". Esta técnica hace uso del dieléctrico formado por el óxido existente entre capas de metal y entre líneas de metal adyacentes y por tanto no necesitan ninguna opción de proceso específica. La desventaja de estos condensadores es la alta capacidad parásita que se forma entre su placa inferior y el sustrato.

Las resistencias disponibles son dos tipos de polisilicio. Uno con una resistencia por unidad de área de unos pocos cientos de ohmios y otro tipo con silicio cristalino y una resistencia por unidad de área de unos pocos ohmios.

Por último hay dos tipos de PADS disponibles, de 1.5V para entradas y salidas analógicas, y de 3.3V para entradas y salidas digitales.

8.3 Determinación del orden, resolución interna y relación de sobremuestreo

Para fijar el orden del modulador, la resolución del cuantificador y la relación de sobremuestreo se han realizado un conjunto amplio de simulaciones sobre varios moduladores SDTD. Estas simulaciones sirven como estudio de viabilidad y por norma general no garantizan que el diseño final del modulador en TC tenga la misma SNR. Como ya se ha visto en capítulos anteriores se prefiere dar robustez al diseño a buscar un equivalente exacto de un modulador en TD concreto.

Todas las simulaciones consisten en diseñar una NTF en el dominio discreto, simular el modulador correspondiente (asumiendo STF=1) con un cuantificador de resolución dada y un tono de -4dB como entrada al modulador y calcular la SNR de la señal de salida. El diseño de la NTF depende de los siguientes parámetros:

- el orden del modulador ,
- la opción de minimizar o no la potencia eficaz de ruido en el ancho de banda del sistema (es decir, la localización de los ceros de la NTF, distribuidos o no),
- la relación de sobremuestreo, y
- la norma infinito de la NTF. La resolución del cuantificador impone un límite a este valor en cuanto a estabilidad se refiere.

Una porción de los resultados de estas simulaciones se han representado en las figuras 8.1 y 8.2. En la primera de ellas, en todas las combinaciones mostradas, se ha optimizado la norma infinito de la NTF para cada resolución del cuantificador. Esto hace que el modulador sea óptimo en cuanto a resolución se refiere. En la segunda figura todas las combinaciones mostradas tienen la norma infinito de la NTF fijada en 1.5. Fijar la norma infinito de la NTF a un valor inferior al óptimo confiere un cierto margen de estabilidad al modulador aumentando la robustez del mismo. Se ha elegido el valor 1.5 porque es el valor recomendado para conseguir estabilidad con un cuantificador de dos niveles [Ada97a].

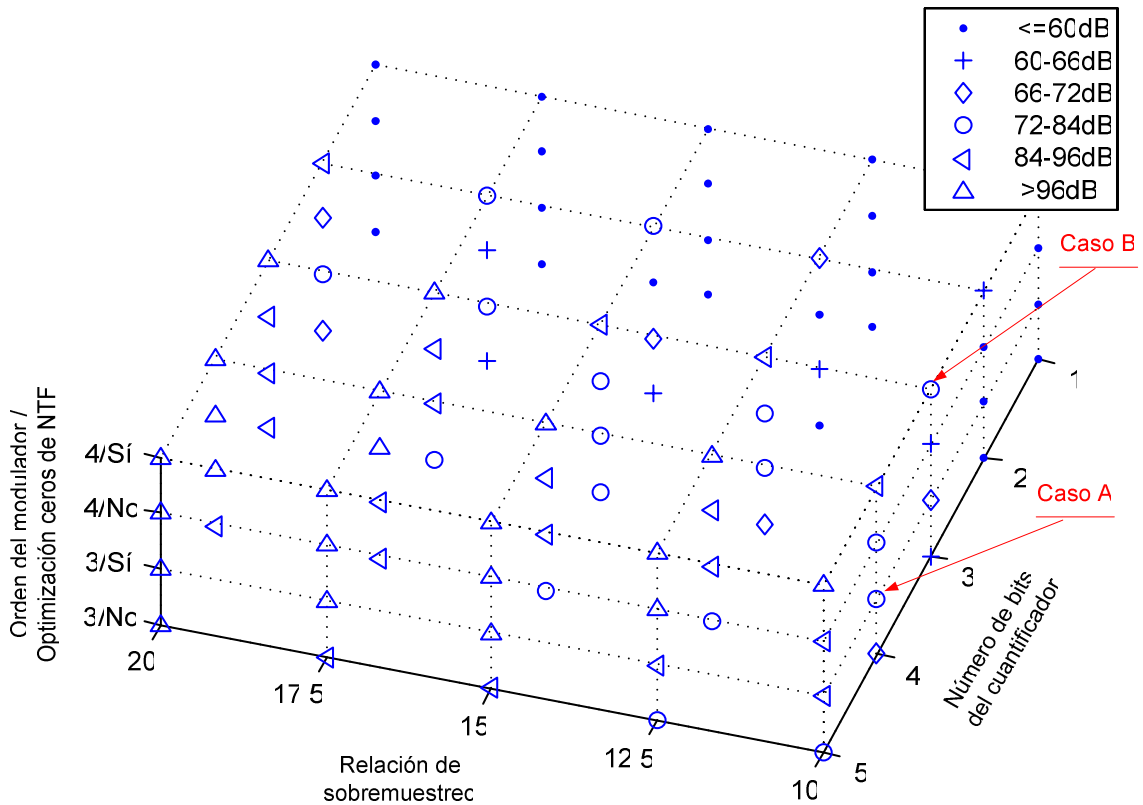


Figura 8.1 Simuladores SDTD clasificados por SNR. La norma infinito de la NTF está optimizada en cada caso para la resolución del cuantificador a usar.

En el caso de tener la norma infinito de la NTF fijada a 1.5 se observa en la figura 8.2 que para obtener una SNR dentro del rango 72-84dB se necesita un modulador de orden 3 con los ceros de la NTF optimizados para obtener la máxima resolución, con un cuantificador de 4 bits y una relación de sobremuestreo de 20 (Caso A – SNR=72.9dB). Para bajar la relación de sobremuestreo se necesita incrementar en un bit la resolución del cuantificador (Caso B – SNR=74.6dB). Si el orden del modulador se incrementa a 4 se obtiene una SNR más alta dentro del intervalo aunque aún es preciso distribuir los ceros de la NTF y usar un cuantificador de 5 bits (Caso C – SNR=78.6dB). Se observa que el mismo modulador con un cuantificador de 4 bits tiene una SNR de 71.6dB (Caso D).

Si la norma infinito de la NTF se optimiza según la resolución del cuantificador, el número de moduladores con SNR dentro del rango 72-84dB es mayor. En este caso es posible encontrar moduladores con una resolución de sobremuestreo de 10 dentro de este intervalo de SNR: uno de orden 3 con los ceros de la NTF optimizados para obtener la máxima resolución y con un cuantificador de 4 bits (Caso

A – SNR=78.0dB); otro de orden 4 con los ceros de la NTF optimizados y un cuantificador de 3 bits (Caso B – SNR=80.2dB).

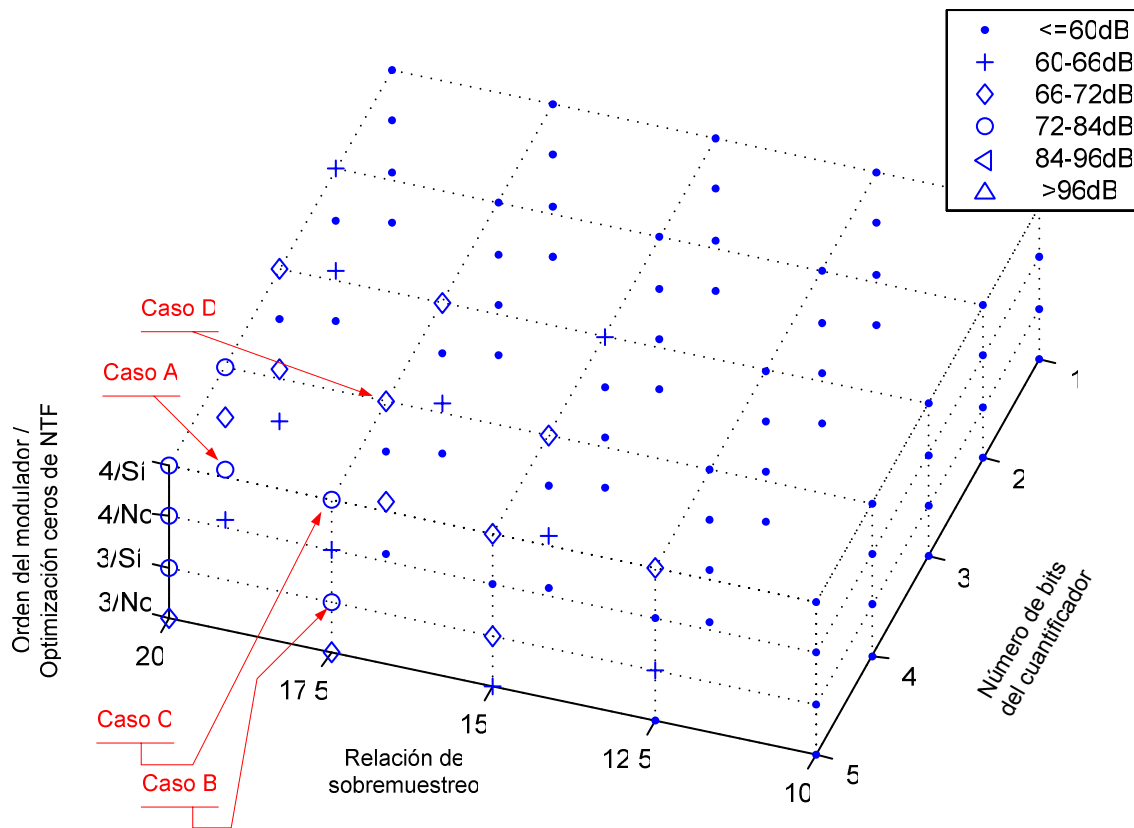


Figura 8.2 Simuladores SDTD clasificados por SNR. La norma infinito de la NTF está fijada en 1.5 para todos los casos.

Los moduladores multibit de la figura 8.2 siguen un criterio de diseño muy conservador al fijar la norma infinito de la NTF en 1.5, mientras que los de la figura 8.1 tienen poco margen de estabilidad por lo que necesita por norma general de técnicas de autocalibrado. Por este motivo se ha evaluado la SNR obtenida como promedio de ambas estrategias de diseño.

En la figura 8.3 se muestra la SNR promedio de ambas estrategias. Los casos A y B nos indican que con un filtro de cuarto orden, cuatro bits en el cuantificador y una relación de sobremuestreo baja se puede conseguir el objetivo de diseño propuesto.

Finalmente se ha optado por esta solución con una relación de sobremuestreo de 10. Como primer prototipo se prefiere mayor ancho de banda aunque la resolución no sea del todo aceptable.

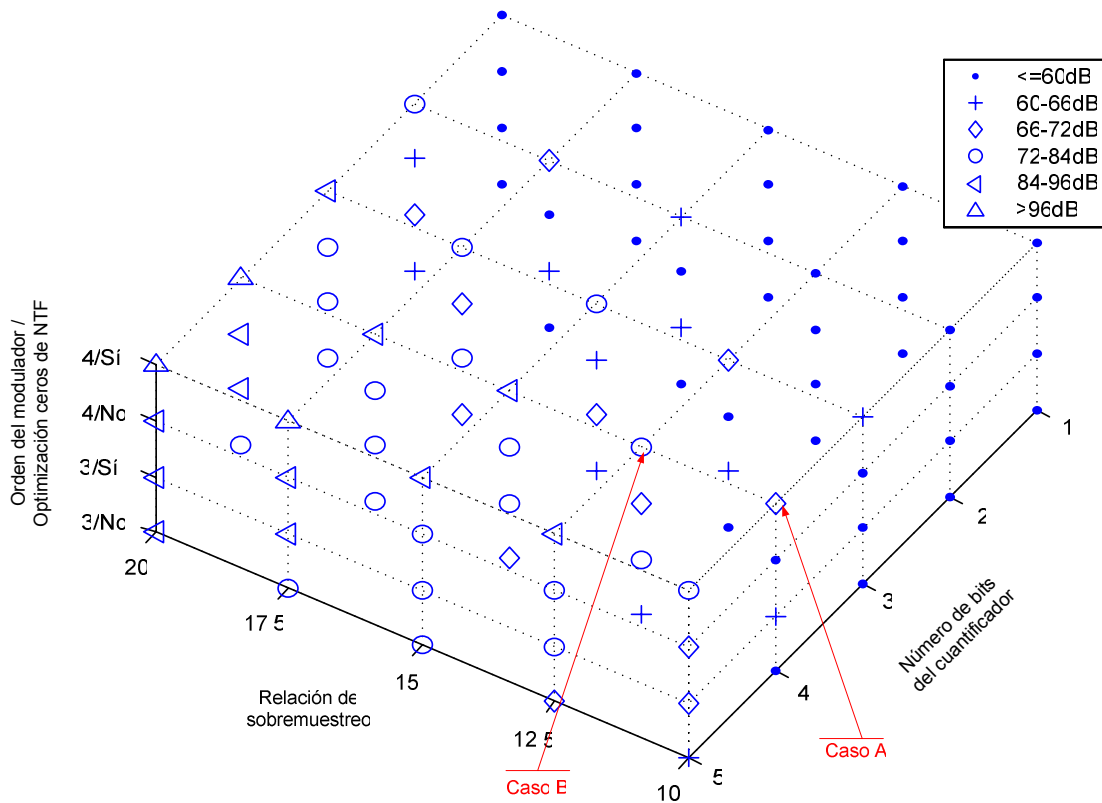


Figura 8.3 Simuladores SDTD clasificados por SNR. Se ha calculado una SNR media con los moduladores cuya norma infinito de la NTF es 1.5 o se ha optimizado según la resolución del cuantificador.

8.4 Determinación del filtro de tiempo continuo

Una vez seleccionados el orden del modulador, la relación de sobremuestreo y la resolución del cuantificador se ha usado una versión preliminar de la herramienta software descrita en el capítulo 7 para determinar la posición de los polos y ceros del filtro de bucle.

El retardo de bucle en exceso se ha fijado en un 75% del periodo de reloj. Siguiendo un proceso de optimización manual que sigue las pautas de los algoritmos implementados en la herramienta actual se ha llegado al diseño de la tabla 8.2. La figura 8.4 muestra la captura de pantalla de la herramienta usada para el diseño. Las figuras 8.5 y 8.6 muestran los resultados de las simulaciones realizadas por la herramienta de forma automática.

Tabla 8.2 Resumen del diseño

Ancho de banda	15MHz	Ganancia del filtro de bucle	31 dB
Frecuencia de reloj	300MHz	Margen de fase ϕ	22.6°
Resolución del cuantificador	4 bits	Frecuencia a 0dB	58.0 MHz
Orden del modulador	4	A_{jit}	1.18
Retardo de bucle en exceso	0.75-1.25 Ts	Rango dinámico	68 dB
Situación de los polos del filtro de bucle (MHz)	$\pm 5.1j$ $\pm 12.9j$	SNR máxima	66dB
Situación de los ceros del filtro de bucle (MHz)	-3.8±16.3j -11.5 -72.0		

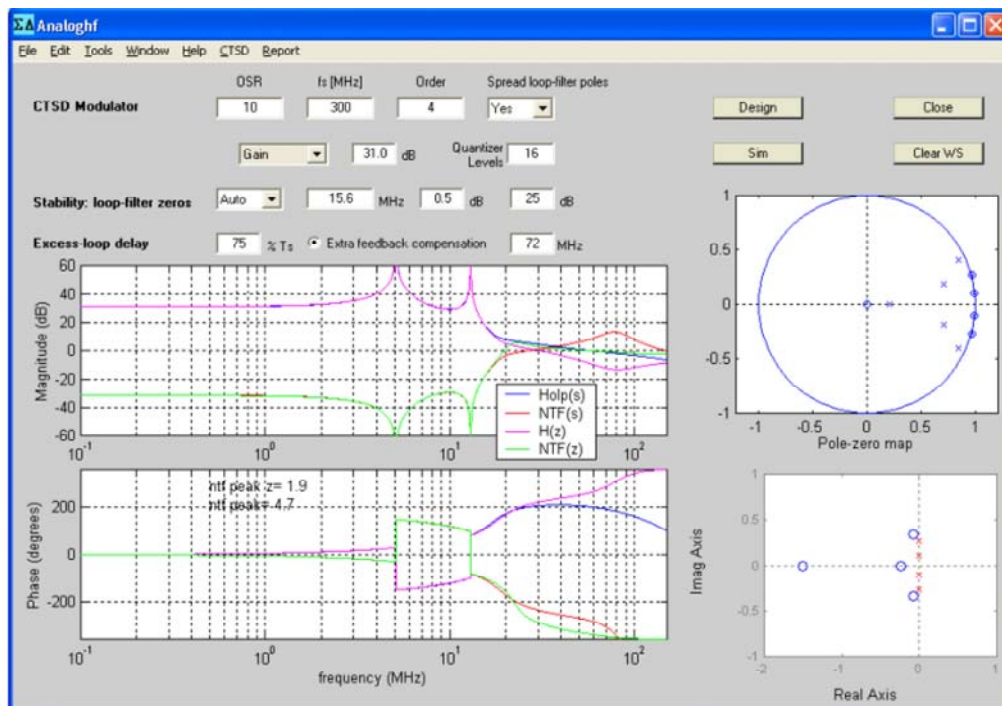


Figura 8.4 Captura de pantalla de una versión preliminar de la herramienta ANATEST que muestra el diseño de la tabla 8.2

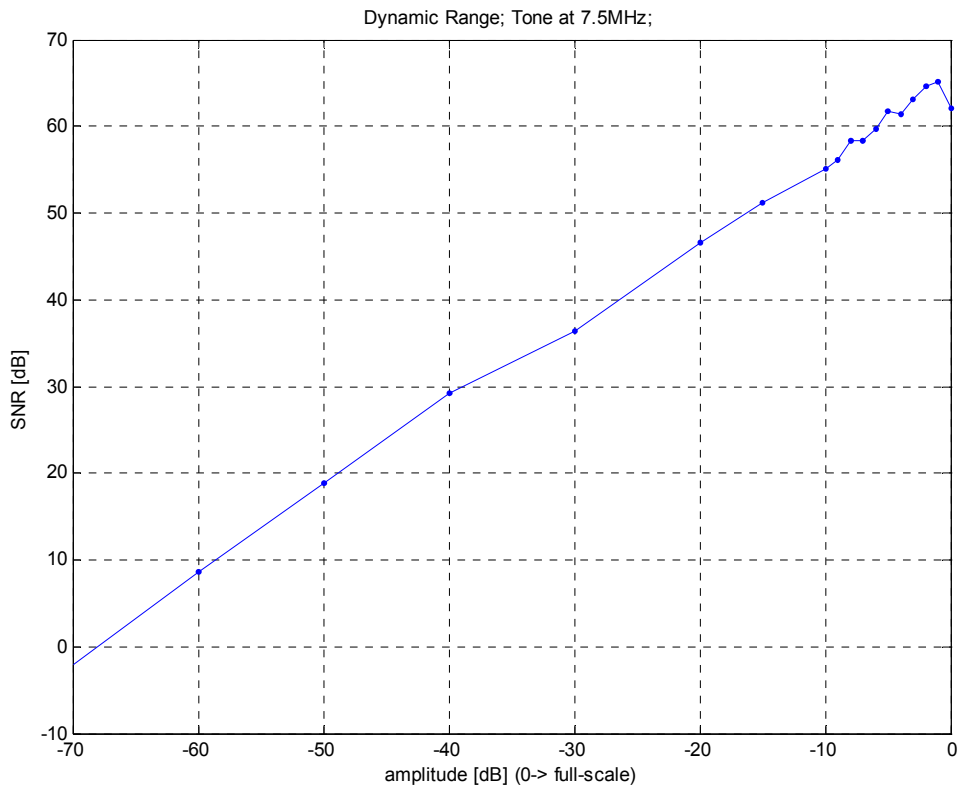


Figura 8.5 Rango dinámico del sistema diseñado (Salida de la versión preliminar de la herramienta ANATEST)

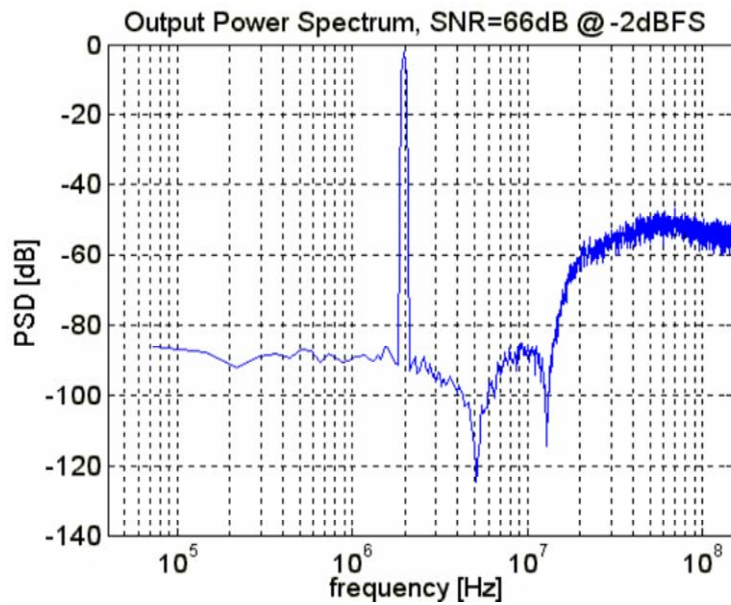


Figura 8.6 Densidad espectral de potencia de la señal de salida del modulador simulado con un tono de -2dB a 2MHz (Salida de la versión preliminar de la herramienta ANATEST)

8.5 Selección de la arquitectura de implementación

El filtro de bucle diseñado en el epígrafe anterior corresponde a $H_2(s)$ en la figura 8.7. La especificación de $H_1(s)$ depende de la especificación para la STF y de la arquitectura escogida.

Como se comenta en el capítulo 3 las posibilidades de implementación son infinitas. Por tanto se necesita un criterio para seleccionar la arquitectura adecuada. Las restricciones que se han tenido en cuenta a la hora de seleccionar la arquitectura son las siguientes:

- La arquitectura debe pertenecer a la familia descrita en el capítulo 3. En un futuro se pueden investigar otro tipo de arquitecturas.

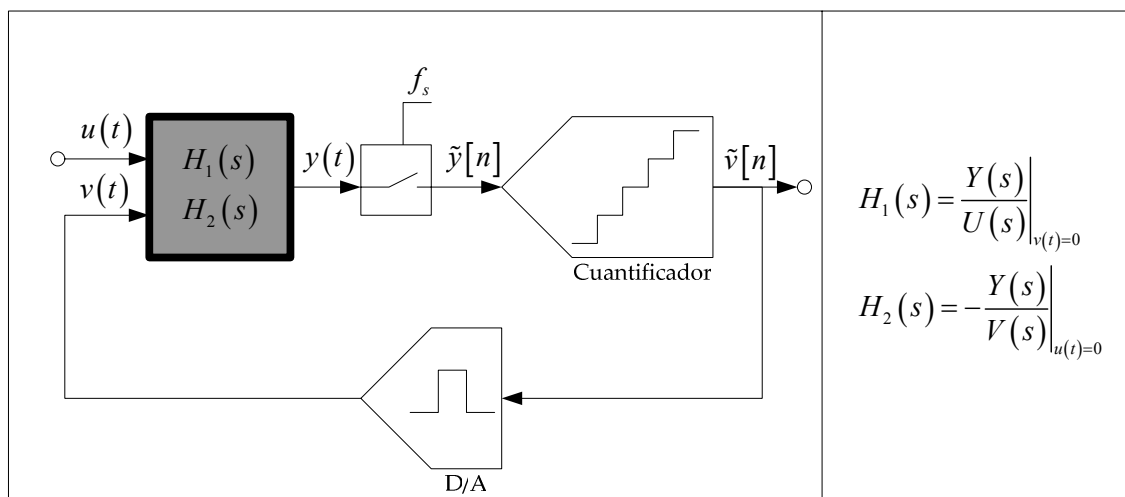


Figura 8.7 Diagrama de bloques de un modulador SDTC

- Si el cuantificador es multibit la señal $y(t)$ debe ser una tensión, de forma que se pueda usar un convertidor A/D tipo flash a continuación.
- Los sumadores de señales se implementan como una suma de corrientes en un nodo. Eso supone que todos los coeficientes a_i y f_{be} de la figura 3.10 son convertidores D/A con salida en corriente.
- Los coeficientes de la familia de arquitecturas descrita en el capítulo 3 pueden implementarse convirtiendo tensión a corriente con una resistencia colocada en la masa virtual de un amplificador operacional. Comparado

con el uso de transconductancias esta solución ofrece un comportamiento más lineal. En este caso los coeficientes deben ser del mismo orden de magnitud.

- El rango dinámico de las variables de estado determina la distorsión generada en las etapas activas. En general es preferible que todas tengan un rango dinámico similar y no muy elevado.
- El uso de los coeficientes b_i de la figura 3.10 mejora el rango dinámico de las variables de estado y por tanto disminuye la distorsión generada, pero también modifica la STF y por tanto el filtro anti-aliasing del modulador.
- El nivel de distorsión y el ancho de banda que se pueden conseguir en una etapa activa depende del consumo de potencia que se quiera permitir
- Las etapas activas cuya salida se suma a la entrada del cuantificador son las menos restrictivas en cuanto a distorsión y ruido se refiere.
- El uso de un cuantificador multibit obliga previsiblemente a usar una técnica de apareamiento dinámico de elementos al menos para el convertidor D/A asociado al coeficiente a_1 de la figura 3.10.
- El bloque digital que implementa la técnica de apareamiento dinámico puede incrementar el retardo de bucle en exceso.

Teniendo en cuenta todo lo anterior se adoptaron las siguientes decisiones:

- Como elemento activo para la implementación de los integradores se ha seleccionado un amplificador operacional de 600MHz de producto ganancia-ancho de banda. De esta forma se pretende mantener el consumo de potencia moderadamente bajo con una distorsión y ancho de banda aceptables.
- Para disminuir el consumo de potencia se ha optado por una arquitectura que tenga, o bien múltiples realimentaciones, o bien múltiples prealimentaciones, pero no ambas. De esta forma el filtro anti-aliasing vendrá impuesto por la NTF, lo cual no es relevante para la aplicación.

- Entre la arquitectura de múltiples realimentaciones y la de múltiples prealimentaciones se prefiere esta última debido a que el cuantificador es multibit y para reducir el consumo de potencia es preferible reducir el número de convertidores D/A. Además esta arquitectura permite conformar la distorsión y el ruido que se produzca en la etapa sumadora de la entrada del cuantificador.
- Para la implementación de los coeficientes de prealimentación se han escogido transconductancias. Esto permite realizar la suma en corriente justo antes del cuantificador.

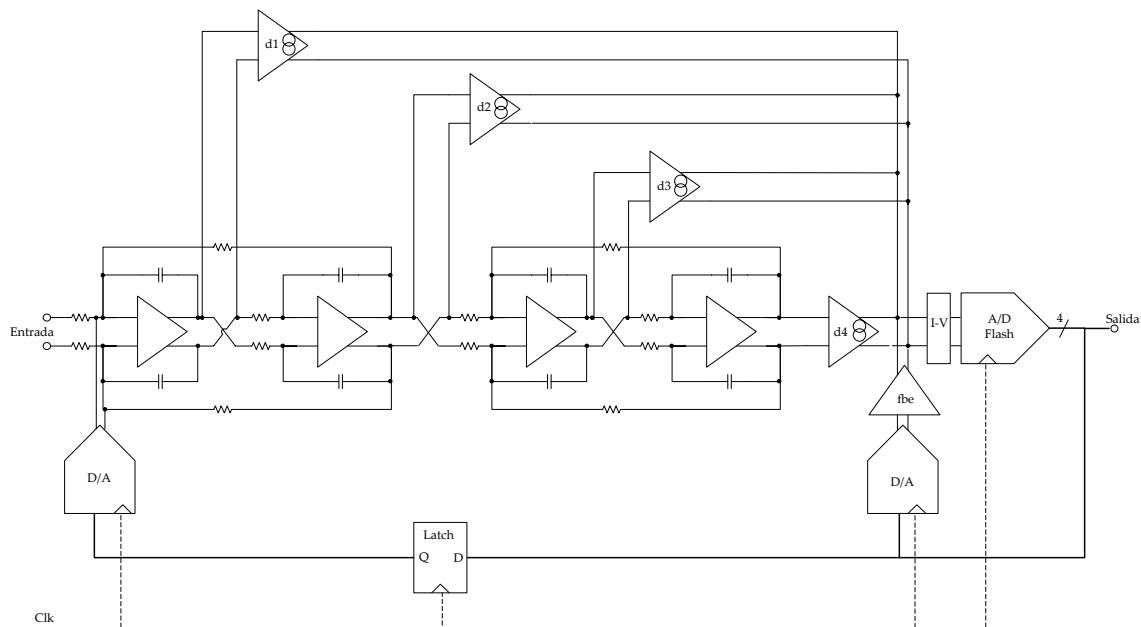


Figura 8.8 Arquitectura seleccionada.

La arquitectura seleccionada finalmente se muestra en la figura 8.8. La matriz extendida correspondiente a esta arquitectura viene dada por (8.1), donde c_i corresponde a la ganancia del integrador i dividida por el periodo de muestreo, y g_i corresponde a la relación entre la resistencia de realimentación local y la resistencia de entrada del resonador i .

$$ABCD = \left(\begin{array}{cccc|cc} 0 & -g_1 \cdot c_1 & 0 & 0 & c_1 & c_1 \\ c_2 & 0 & 0 & 0 & 0 & 0 \\ 0 & c_3 & 0 & -g_2 \cdot c_3 & 0 & 0 \\ 0 & 0 & c_4 & 0 & 0 & 0 \\ \hline d_1 & d_2 & d_3 & d_4 & 0 & fbe \end{array} \right) \quad (8.1)$$

8.6 Diseño de los coeficientes del modulador

Una vez que la arquitectura se ha escogido, es necesario calcular los coeficientes. De acuerdo a como se ha definido la matriz extendida hay 4 grados de libertad en el sistema. Para facilitar el diseño se han escogido las 4 ganancias de los integradores como grados de libertad. Esto permite diseñar el juego de coeficientes en función del rango dinámico de las variables de estado.

Dado que la herramienta y el algoritmo expuestos en la sección 7.2.4 se han desarrollado con posterioridad al desarrollo de este ejemplo de aplicación, aquí se ha seguido la metodología propuesta en [Nor97] para moduladores SDTD.

En primer lugar, partiendo del filtro especificado en la tabla 8.2 y la arquitectura elegida, se han calculando los coeficientes de dicha arquitectura usando ganancia unidad en todos los integradores. Con estos coeficientes se han realizado simulaciones temporales con un modelo completamente ideal y se ha obtenido la máxima amplitud estable así como el valor máximo de las variables de estado. Estos resultados se muestran en la tabla 8.3.

Posteriormente se ha escalado el sistema como se muestra en la tabla 8.4. Este escalado permite que la distorsión sea reducida mientras que los coeficientes tienen valores físicamente implementables.

Tabla 8.3 Conjunto de coeficientes base

Coeficientes			
c_1	c_2	c_3	c_4
1	1	1	1
d_1	d_2	d_3	d_4
1.27	0.45	0.17	0.02
g_1	g_2	f_{be}	
0.073	0.011	0.7	
Amplitud estable máxima (tono de prueba a 2MHz)			
-2dB			
Valor máximo de las variables de estado			
x_1	x_2	x_3	x_4
0.18	0.72	2.37	44.74

Tabla 8.4 Conjunto de coeficientes del sistema escalado

Coeficientes escalados			
c_1	c_2	c_3	c_4
1.82	0.36	0.26	0.10
d_1	d_2	d_3	d_4
0.7	0.7	1.0	1.4
g_1	g_2	f_{be}	
0.125	0.394	0.7	
Valor máximo de las variables de estado según la matriz de transformación aplicada			
x_1	x_2	x_3	x_4
0.324	0.463	0.395	0.765
Valor máximo de las variables de estado (simulado con un tono de -2dB a 2MHz)			
x_1	x_2	x_3	x_4
0.331	0.394	0.398	0.783

8.7 Análisis de sensibilidad a las tolerancias de los componentes y variaciones de proceso.

Se han analizado las derivadas parciales del margen de fase con respecto a cada uno de los coeficientes y particularizado para el resto de coeficientes. Todos los coeficientes son iguales a sus valores nominales. A continuación se muestran las expresiones obtenidas. Algunas se han desarrollado en serie alrededor del punto nominal. Estos desarrollos son válidos en el entrono de $\pm 20\%$

$$\frac{\partial \varphi}{\partial c_1} \approx -11.64 \cdot c_1^2 + 61.20 \cdot c_1 - 92.08 \quad (8.2)$$

$$\frac{\partial \varphi}{\partial c_2} \approx 187.66 \cdot c_2^4 - 122.41 \cdot c_2^3 - 11.44 \cdot c_2^2 - 63.68 \cdot c_2 - 38.23 \quad (8.3)$$

$$\frac{\partial \varphi}{\partial c_3} \approx 9.84 \cdot c_3^3 + 4.93 \cdot c_3^2 + 9.29 \cdot c_3 + 8.13 \quad (8.4)$$

$$\frac{\partial \varphi}{\partial c_4} \approx 2.11 \cdot c_4 + 12.61 \quad (8.5)$$

$$\frac{\partial \varphi}{\partial d_1} = \frac{-11.28}{1.82 \cdot d_1^2 - 0.35 \cdot d_1 + 0.04} \quad (8.6)$$

$$\frac{\partial \varphi}{\partial d_2} = \frac{-114.09}{1.20 \cdot d_2^2 - 2.39 \cdot d_2 + 4.50} \quad (8.7)$$

$$\frac{\partial \varphi}{\partial d_3} = \frac{21.7}{0.34 \cdot d_3^2 - 5.0 \cdot d_3 + 18.22} \quad (8.8)$$

$$\frac{\partial \varphi}{\partial d_4} = \frac{1221.74}{0.34 \cdot d_4^2 - 6.70 \cdot d_4 + 1355.62} \quad (8.9)$$

$$\frac{\partial \varphi}{\partial g_1} \approx 1.11 \cdot g_1^3 + 3.11 \cdot g_1^2 - 4.26 \cdot g_1 - 22.91 \quad (8.10)$$

$$\frac{\partial \varphi}{\partial g_2} \approx 0.07 + 0.005 \cdot g_2 \quad (8.11)$$

$$\frac{\partial \varphi}{\partial f_{be}} = \frac{156.62}{2.26 \cdot f_{be}^2 - 2.18 \cdot f_{be} + 3.83} \quad (8.12)$$

Con estas expresiones puede estimarse la influencia de cada uno de los coeficientes en el margen de fase.

Se ha considerado de especial relevancia la influencia del coeficiente f_{be} , por lo que se ha simulado la tolerancia del modulador a su desviación. La figura 8.10 muestra como varía la SNR con el coeficiente. La SNR se ha obtenido por simulación temporal de un tono de -3dB a 7.5MHz.

Por otro lado se ha simulado la tolerancia del sistema al retardo de bucle en exceso. Para ello se han realizado varias simulaciones temporales con un tono de entrada de -3dB a 7.5MHz y se ha ido modificando el retardo de bucle en exceso. En cada una de las simulaciones se ha calculado la relación señal a ruido sobre la señal de salida. El resultado se muestra en la figura 8.9.

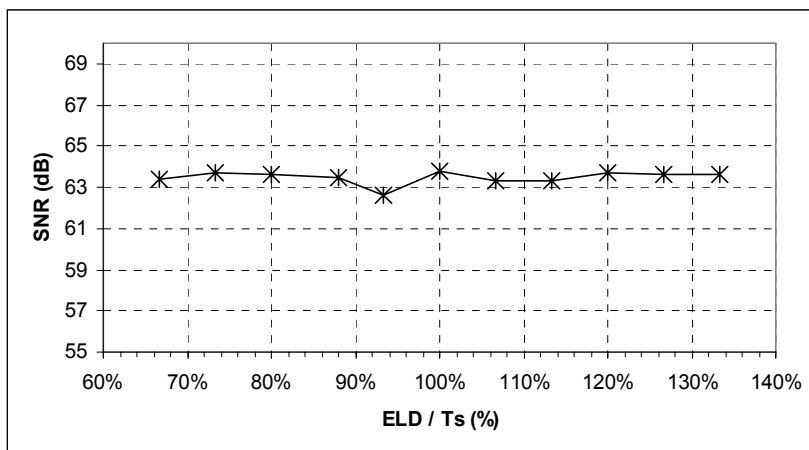


Figura 8.9 Simulación de la tolerancia al retardo de bucle en exceso.

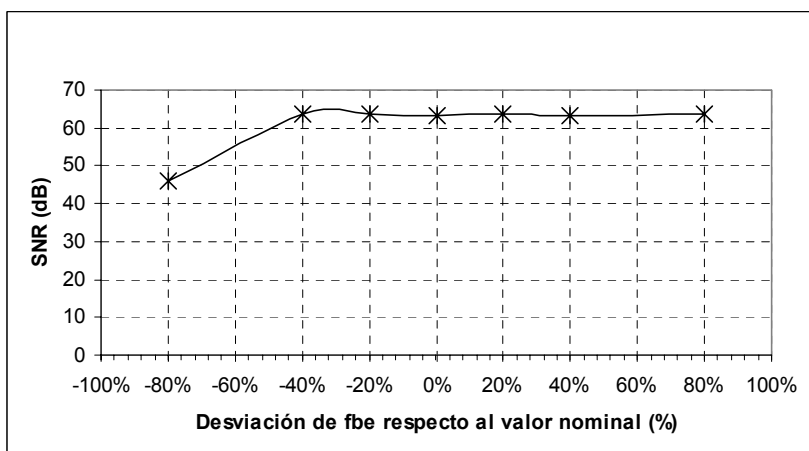


Figura 8.10 Tolerancia del modulador a la variación del coeficiente f_{be}

8.8 Análisis de sensibilidad a la no linealidad de los convertidores D/A

El objetivo de estas simulaciones es determinar la especificación de distorsión de los convertidores D/A necesarios y evaluar la necesidad de emplear alguna técnica de apareamiento de elementos.

8.8.1 Modelo de simulación de conducta

El modelo del convertidor D/A consiste en $M - 1$ elementos unitarios, donde M es el número de niveles del código de entrada. Cada elemento puede contribuir a la salida analógica sumando o restando un peso específico w cuyo valor nominal es la unidad. El código de entrada fija un vector de selección de longitud $M - 1$ que indica que elementos han de contribuir positivamente y que elementos han de contribuir negativamente a la salida analógica.

Se consideran dos formas de generar el vector de selección:

- Modo de direccionamiento lineal: El vector de selección es similar al que genera un decodificador termométrico. Este direccionamiento implica que el convertidor D/A usa siempre los mismos elementos para el mismo código de entrada.
- Modo DWA: El vector de selección se genera siguiendo el algoritmo descrito en el capítulo 5 [Her03]. Esta técnica implementa un conformado espectral de primer orden sobre el ruido inducido por la no linealidad del convertidor D/A.

La no linealidad se ha modelado sumando al peso específico de cada elemento un error aleatorio de distribución normal $N(0, \sigma)$. El modelo realizado en Simulink se muestra en la figura 8.11.

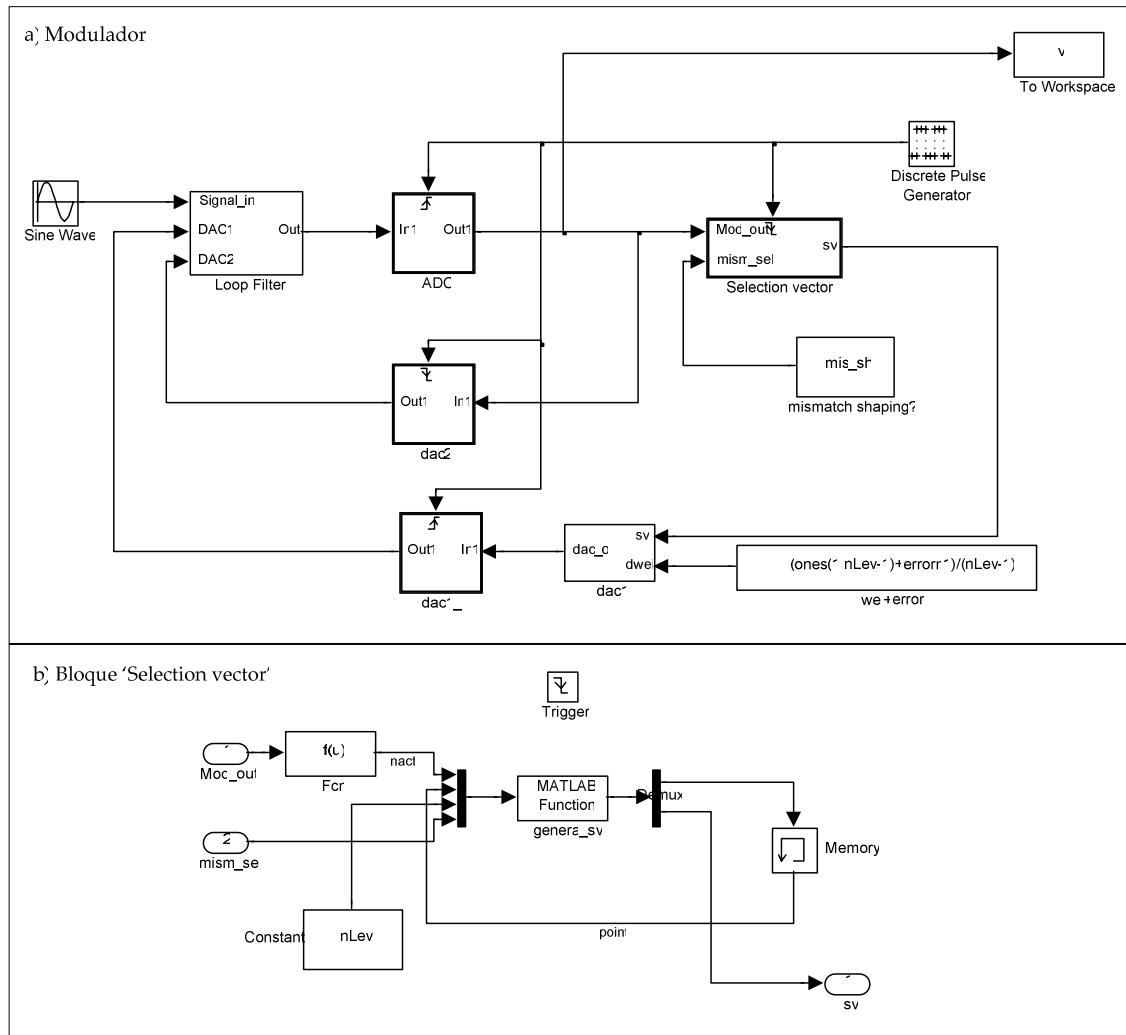


Figura 8.11 Modelo de simulación de conducta del modulador seleccionado con convertidores D/A no lineales.

8.8.2 Resultados de las simulaciones

La figura 8.12 muestra el resultado de varias simulaciones temporales promediadas. El error de apareamiento para el que se han realizado estas simulaciones es el valor elegido para diseñar el convertidor D/A principal.

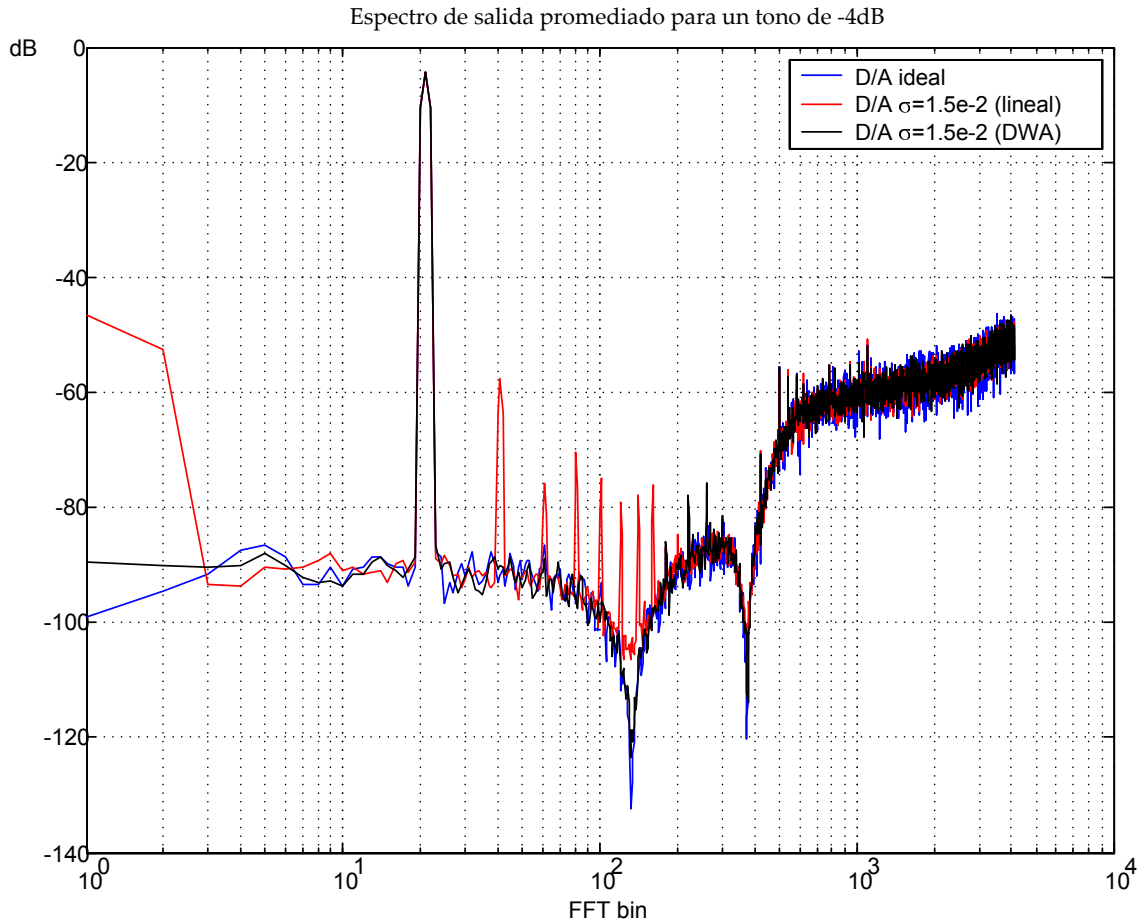


Figura 8.12 Espectros de la señal de salida promediados entre 10 simulaciones de 8192 muestras

8.9 Análisis de sensibilidad al jitter

Para caracterizar el comportamiento del modulador frente al jitter del reloj se ha usado el modelo de simulación simplificado descrito en la sección 6.2.3. Cada simulación temporal se ha realizado con un tono de -3dB a 7.5MHz. El resultado se muestra en la figura 8.13, donde se observa una reducción de 3dB en la SNR en torno a 30ps

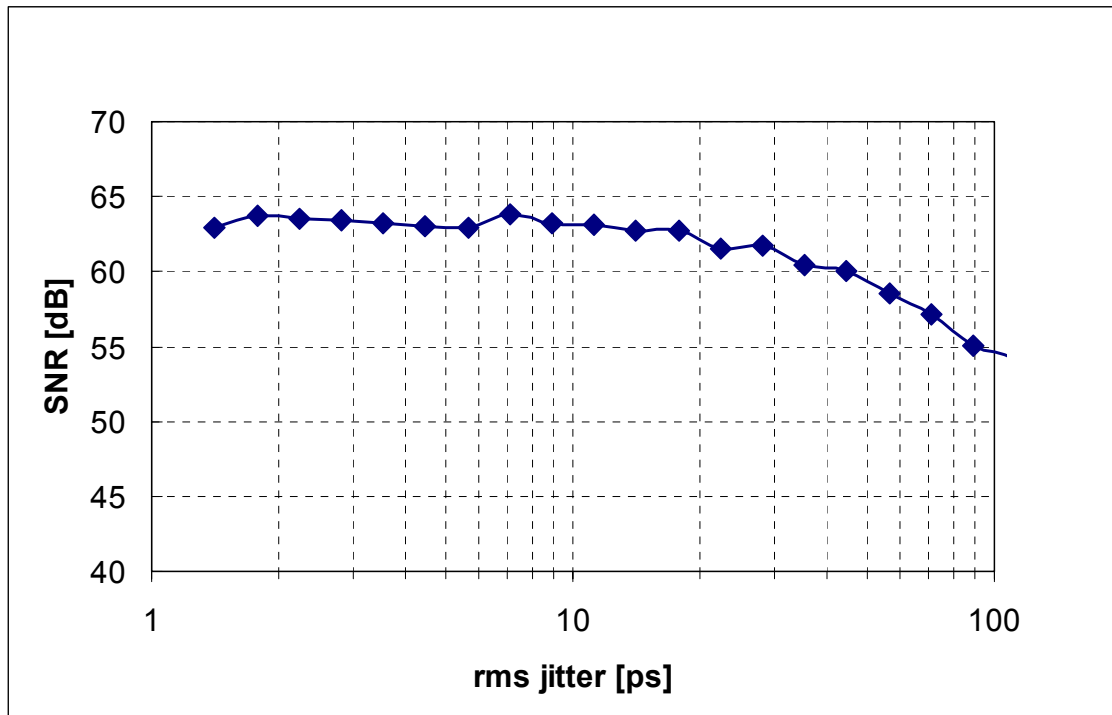


Figura 8.13 Tolerancia del sistema al jitter del reloj

8.10 Definición de los bloques circuitales

8.10.1 Estrategia de diseño y simulación

En líneas generales se han elegido circuitos clásicos, cuyo funcionamiento es bien conocido. Cada bloque ha sido simulado a nivel de transistor usando las configuraciones que se muestran en la tabla 8.5.

En las configuraciones de peor caso se han considerando todos los parámetros que disminuyen la velocidad del circuito. En las configuraciones de mejor caso la velocidad del circuito es aumentada a costa de una creciente inestabilidad del sistema.

Cada una de las configuraciones ha sido simulada de nuevo con el circuito extraído del lay-out con el objeto de depurar el diseño.

Tabla 8.5. Configuraciones usadas en las simulaciones a nivel de transistor

Configuración Parámetro	PEOR CASO	NOMINAL	MEJOR CASO
VDD	1.35V	1.5V	1.65V
Temperatura	-50°C	27°C	130°C
Tecnología	Lenta	Nominal	Rápida
Resistencias (norm.)	+15%	Nominal	-15%
Condensadores	+20%	Nominal	-20%
Polarización	-15%	Nominal	+15%

8.10.2 Bloques resonadores

Los resonadores se han implementado conectando dos integradores en cascada y dotando al sistema de realimentación negativa, tal como se ha descrito con anterioridad. Cada uno de los integradores se ha diseñado con topología RC-AO para conseguir baja distorsión con baja tensión de alimentación. Por otro lado la tensión fija que ofrece la masa virtual del amplificador operacional facilita el diseño del convertidor D/A principal.

El requisito principal de los amplificadores operacionales de este bloque es que el producto ganancia por ancho de banda sea elevado con una ganancia moderada a frecuencias bajas. Este requisito se obtiene siguiendo el análisis mostrado en el capítulo 4 y se ha probado realizando varias simulaciones a nivel de sistema. Por este motivo se ha optado por una configuración tipo Miller. El par diferencial de entrada se ha diseñado tan pequeño como la especificación de ruido permite, con el objeto de reducir las capacidades parásitas.

Las resistencias se calculan fijando el nivel de ruido térmico 10dB por debajo del ruido de cuantificación.

La figura 8.14 muestra el circuito correspondiente a cada uno de los integradores que forman el resonador. El ajuste de la constante de integración se consigue con un banco de condensadores en paralelo. Los interruptores son simples transistores NMOS con su fuente conectada a la masa virtual del AO.

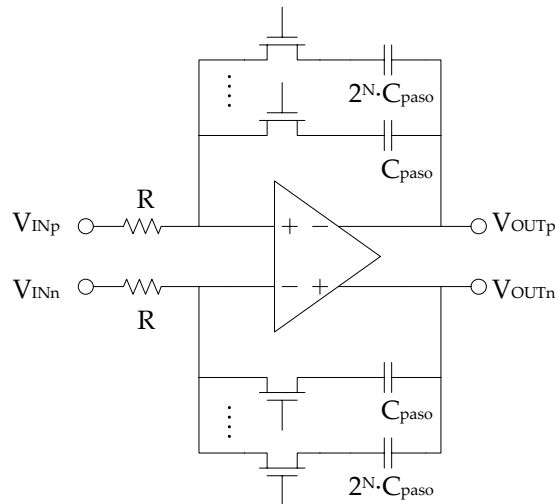


Figura 8.14 Circuito integrador [Gia03a]

8.10.3 El convertidor D/A principal

El diseño de este convertidor es extremadamente importante ya que todos los errores, ya sean lineales o no, son transferidos a la salida del modulador a través de la STF, habitualmente igual a la unidad en el ancho de banda del modulador.

En esta aplicación se ha optado por un diseño basado en fuentes de corriente controladas por tensión. La salida en corriente se acopla con el primer integrador usando la masa virtual de su AO, tal y como muestra la figura 8.15 .

El circuito sigue un esquema totalmente diferencial y contiene fuentes de corriente de doble polaridad PMOS y NMOS que están apareadas entre sí formando las celdas de corriente controladas por la palabra digital de realimentación. Las corrientes de cada celda se suman en la masa virtual del primer AO y se integran en los condensadores de realimentación del primer integrador dando lugar a una tensión diferencial.

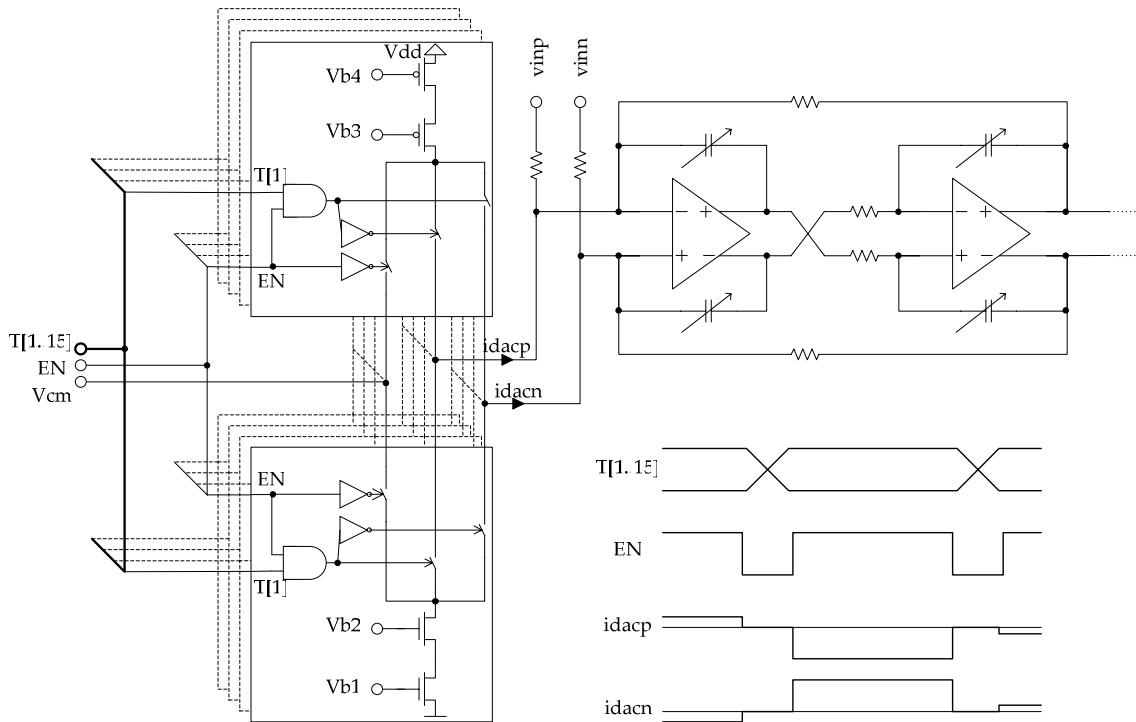


Figura 8.15 Convertidor D/A principal y primer resonador [Gia03a]

Para disminuir la distorsión del convertidor D/A las fuentes de corriente se han aislado de los nodos de salida mediante dos transistores en cascodo, lo cual además incrementa la impedancia de salida de la celda.

Para la generación del pulso de salida se ha elegido un esquema de retorno a cero o RZ (de Return-to-Zero en la literatura anglosajona). Este esquema reduce considerablemente la distorsión que puede producirse por acoplo de la señal de reloj y/o por tiempos de subida/bajada finitos frente a los esquemas de no retorno a cero o NRZ (de Non-Return-to-Zero en la literatura anglosajona).

Frecuentemente se ha publicado que los convertidores D/A RZ tienen mayor sensibilidad al jitter del reloj [Yan03]. Sin embargo dicha sensibilidad depende fuertemente del esquema de relojes que se emplee para controlar los instantes de subida y bajada del pulso de salida. En el caso de la implementación aquí mostrada los flancos de subida y bajada del pulso de salida vienen determinados por una única señal de habilitación EN. Puesto que los flancos se generan con un único reloj la sensibilidad al jitter de este reloj será equivalente a su homólogo NRZ (Ver figura 8.15)

8.10.4 Bloque sumador

Este bloque se encarga de sumar las cuatro variables de estado que provienen de los cuatro integradores junto a la señal de realimentación que proviene del convertidor D/A secundario o de compensación. Existen numerosos circuitos que pueden cumplir con esta tarea: un AO en configuración de sumador (modo tensión) [Dör03a], usando transconductores en bucle abierto (modo corriente) [Yan03], usando una prealimentación capacitiva en una de las etapas activas [Dör03b]. A su vez el convertidor D/A secundario puede implementarse con fuentes de corriente controladas por tensión [Dör03a] o usando capacidades conmutadas [Moy03] en caso de que la señal se añada a la suma de variables de estado antes del circuito cuantificador. Otra alternativa es añadir la señal de salida del convertidor D/A directamente al cuantificador. En este caso suele añadirse directamente a los umbrales de comparación de un cuantificador tipo Flash.

Después de exhaustivos análisis se ha optado por una solución compacta y nueva [Gia03a] que reúne al mismo tiempo dos características: es suficientemente rápida para aplicaciones de ancho de banda en el entorno de decenas de MHz con un consumo inferior a la mayoría de las soluciones propuestas.

La figura 8.16 muestra el circuito del sumador. Para el convertidor D/A secundario se ha optado por la topología basada en fuente de corriente controlada por tensión. Las ganancias de las transconductancias son programables, así como la ganancia del bucle que incluye al convertidor D/A secundario.

8.10.5 Bloque lógico para el apareamiento dinámico de elementos

Se ha optado por un registro de desplazamiento circular para implementar el apareamiento dinámico de elementos necesario para reducir la distorsión generada en el convertidor D/A principal. Este registro permite rotar los elementos usados para la conversión en cada ciclo de reloj de forma que los errores se anulan en promedio. De esta forma la densidad espectral de potencia de este error se ve conformada por un cero en el origen, tal y como se ha descrito en el capítulo 5.

La figura 8.17 muestra un esquema de principio de este bloque. Básicamente se compone de una matriz y un acumulador que se encarga de calcular el puntero de la matriz.

La matriz se compone de cuatro registros de desplazamiento en cascada. De esta forma cualquier línea de entrada puede conectarse con cualquier línea de salida en función del puntero calculado. El acumulador tiene un bloque decodificador termométrico/binario, un sumador módulo 16 y una conversión a módulo 15.

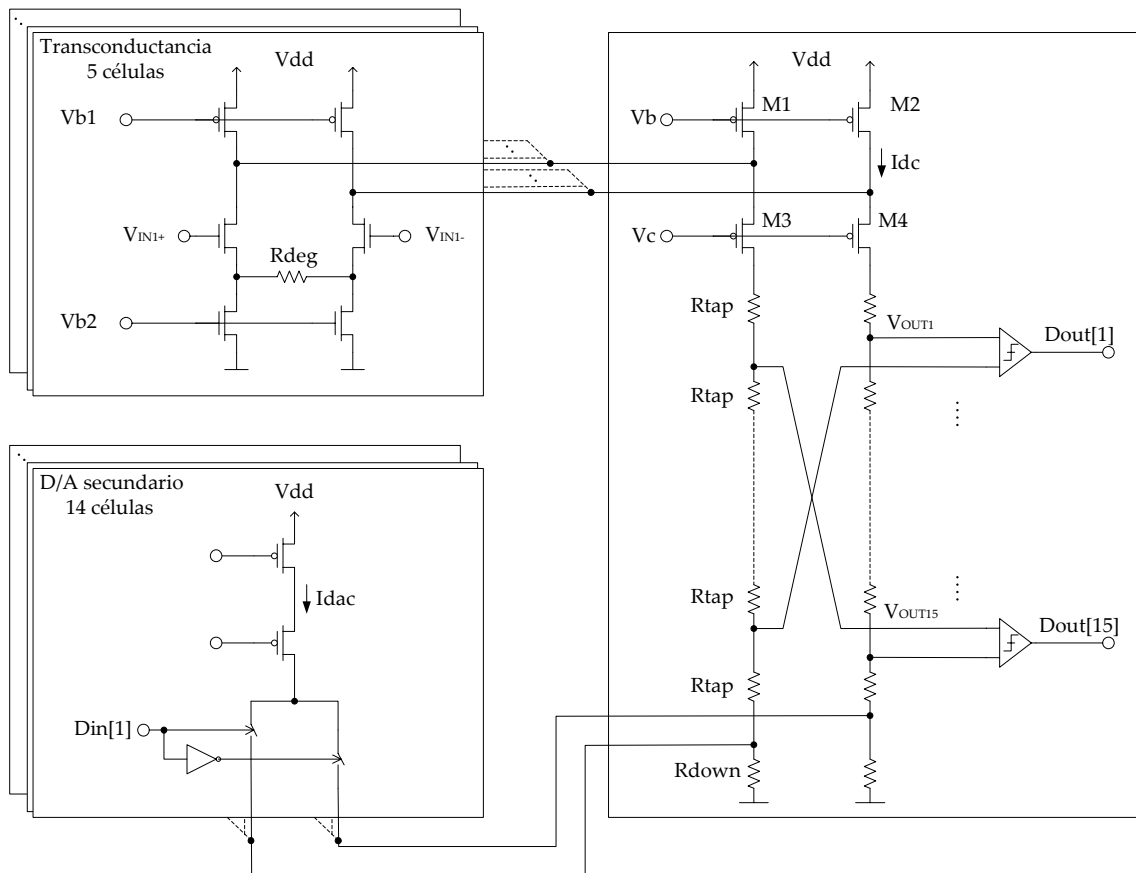


Figura 8.16 Circuito sumador-cuantificador compacto [Gia03a]

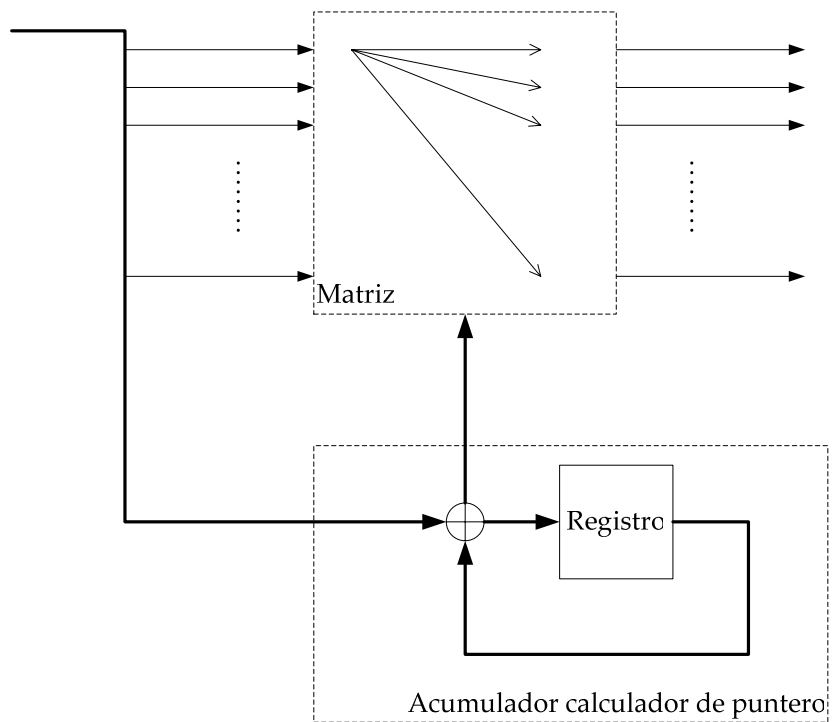


Figura 8.17 Esquema de principio del bloque lógico de apareamiento dinámico de elementos [Gia03a]

Capítulo 9

Resultados experimentales

9.1 Arquitectura del circuito integrado de demostración

El modulador descrito en el capítulo anterior se ha integrado en un circuito microelectrónico de demostración y se ha fabricado en Infineon Technologies. Para facilitar su caracterización experimental se le ha dotado de bloques adicionales y de cierta programabilidad tal y como se muestra en la figura 9.1

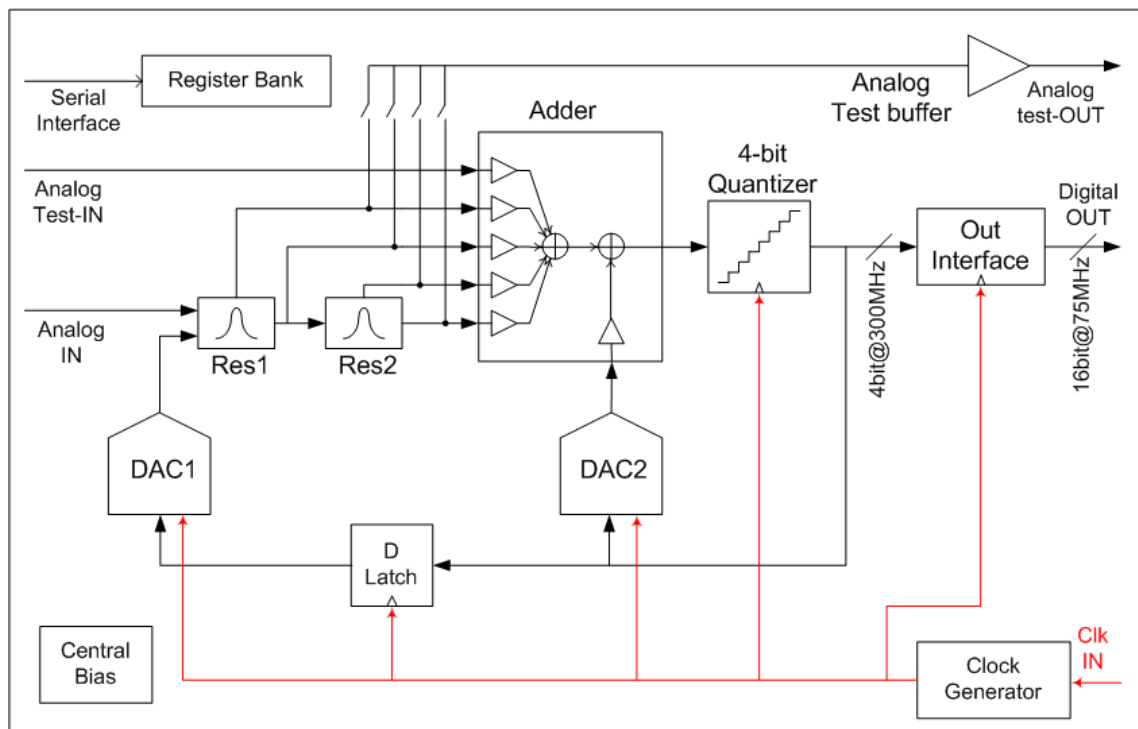


Figura 9.1 Arquitectura del circuito de demostración [Gia03a]

La parte analógica del circuito está compuesta de cinco bloques diferenciados: resonadores, convertidor D/A principal, sumador, cuantificador y el registro de

desplazamiento circular. Tal y como se observa en la figura este último registro se usa para direccionar únicamente los elementos del convertidor D/A principal.

El reloj del sistema se genera de forma interna a partir de una señal sinusoidal externa de referencia. La señal sinusoidal pasa internamente por un amplificador de precisión con salida de onda cuadrada. El reloj así generado pasa por otro bloque posterior que lo distribuye por el resto del circuito integrado en cinco fases: `clk_adc`, `clk_dac1`, `clk_dac2`, `clk_barshi` y `clk_out`.

Se ha incluido también un bloque central de polarización. En él se generan todas las corrientes de polarización que el modulador necesita. Las referencias de tensión, sin embargo, se han conectado a pads externos a través de filtros paso-bajo.

Como interfaz de salida se ha optado por un bloque que paraleliza la salida y reduce la velocidad de muestreo, pasando de 4 líneas a 16.

Para facilitar la programación de diferentes modos de prueba del modulador se han incluido numerosos registros y un módulo de programación serie SPI (de Serial Programming Interface).

9.2 Testabilidad

En esta sección se describen las opciones de test que se han incluido en el circuito de demostración. El objetivo principal de incluir estas opciones es poder aislar diferentes bloques para ser caracterizados experimentalmente de forma independiente.

9.2.1 Buffer analógico de sensado para las variables de estado

Hay un buffer analógico que puede conectarse por programación serie a cada una de las salidas de los integradores.

9.2.2 Transconductancia extra

Existe una transconductancia de ganancia unidad conectada entre un pad de entrada y el sumador. Puede usarse para generar una señal de prueba para los

convertidores D/A o bien para conectarla a la entrada del modulador. En este último caso la STF del modulador se ve afectada así como el rango dinámico de las variables de estado, que se ve reducido. Esta característica puede usarse para analizar el origen de la distorsión que se produce a la salida del modulador.

9.2.3 Ajuste de las frecuencias de resonancia del filtro

El ajuste de las frecuencias de resonancia del filtro puede efectuarse apagando el convertidor D/A principal y colocando sucesivamente el buffer analógico a la salida de los resonadores. De esta forma se pueden ajustar manualmente en el laboratorio las frecuencias de resonancia.

9.2.4 Prueba del cuantificador

El cuantificador puede caracterizarse estática y dinámicamente apagando el resto del circuito y aplicando una señal de entrada en la transconductancia extra. El inconveniente es que la característica obtenida incluye también a la transconductancia.

9.2.5 Prueba del convertidor D/A principal

Para obtener la característica estática del convertidor D/A principal se ha ideado el esquema de la figura 9.2, donde el filtro de lazo se ha reducido a un filtro de primer orden. La transconductancia extra se usa para generar todos los posibles códigos de entrada al D/A.

9.2.6 Prueba del convertidor D/A secundario

Se han incluido unos multiplexores a la entrada de este convertidor. Por programación puede seleccionarse conectar su entrada al camino de realimentación o a un banco de registros. Estos multiplexores permiten poner el convertidor en modo test y medir su característica estática, tal y como se muestra en la figura 9.3.

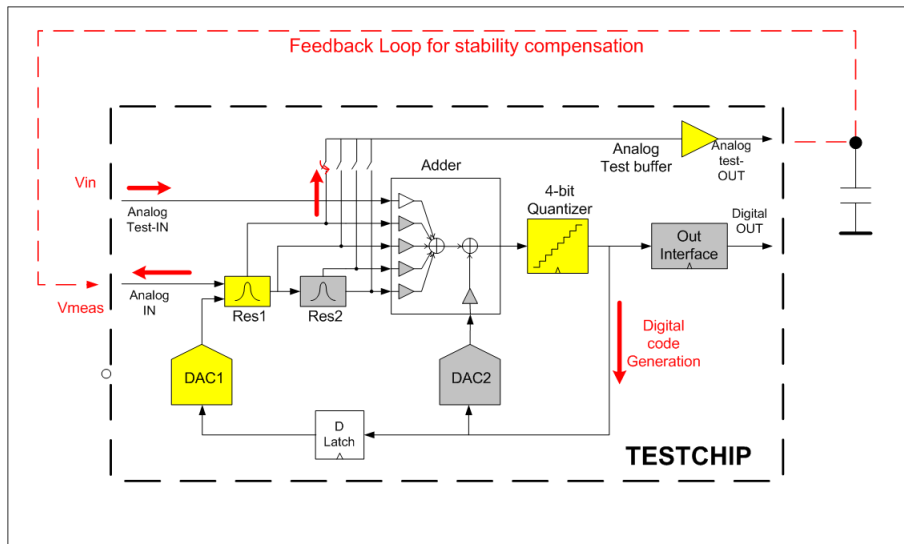


Figura 9.2 Prueba del convertidor D/A principal. [Gia03a]

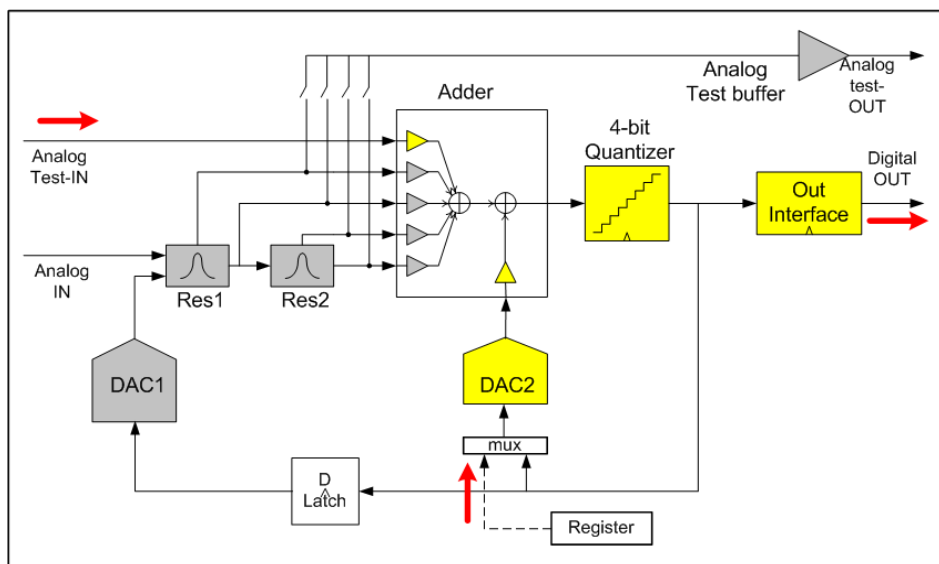


Figura 9.3 Prueba del convertidor D/A secundario [Gia03a]

9.2.7 Programación del ELD

Se ha incluido un bloque con un retardo programable en la línea de reloj del cuantificador. Esta característica permite comprobar la sensibilidad del modulador a la variación del ELD.

9.2.8 Prueba frente a variaciones de la tensión de alimentación

Cada bloque de la sección analógica usa líneas de alimentación separadas.

9.3 Generación del lay-out

El lay-out se muestra en la figura 9.4. Los pads analógicos y los pads digitales se han situado en lados opuestos del lay-out. La generación del reloj está situada lo más cerca posible del convertidor D/A principal. Las salidas de este convertidor se han situado lo más cerca posible de la masa virtual del AO. Todas las líneas sensibles al ruido inducido por el sustrato se han blindado. La alimentación se ha rutado de manera simétrica y se han puesto anillos de guarda alrededor de los bloques más susceptibles a ruido.

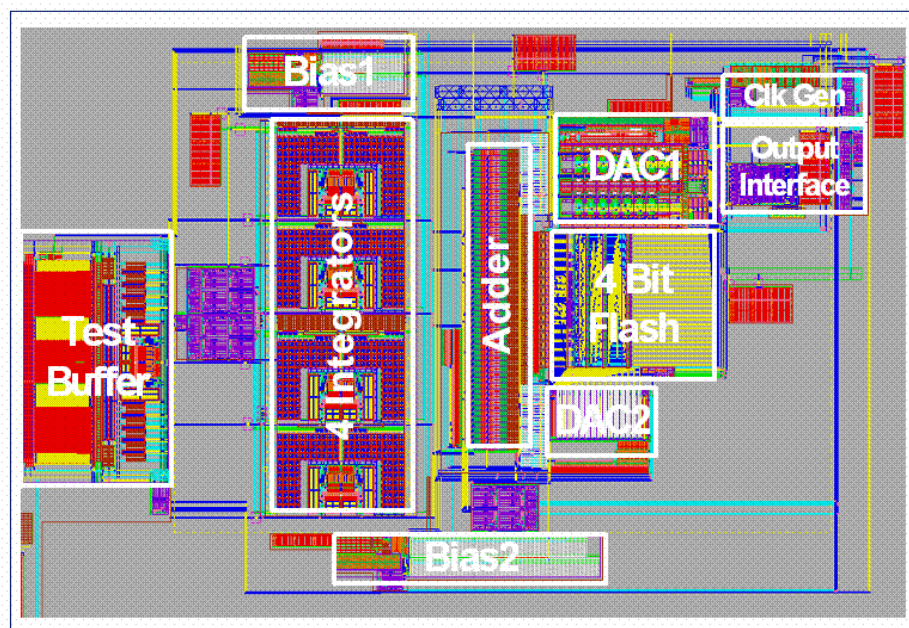


Figura 9.4 Lay-out

9.4 Medidas experimentales

Para la caracterización experimental del dispositivo fabricado se ha diseñado una placa de circuito impreso que facilita la alimentación del integrado y la medida de las señales necesarias. En la figura 9.5 se muestra una fotografía de la misma.

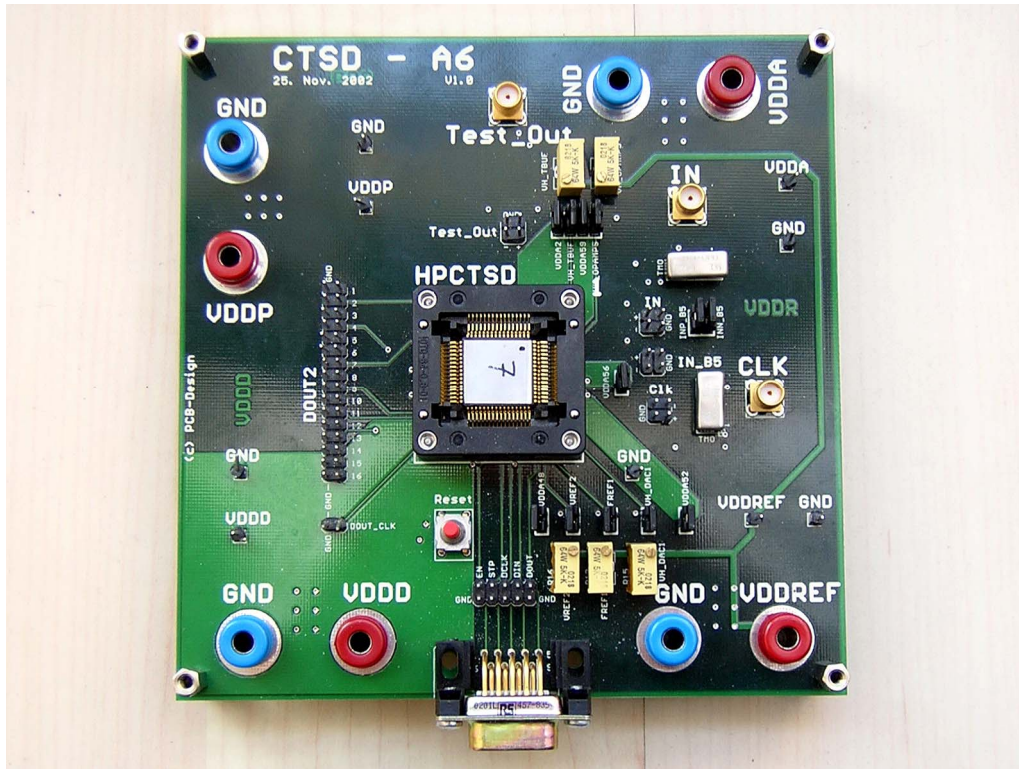


Figura 9.5 Fotografía de la placa de circuito impreso usada para la caracterización experimental.

Las medidas experimentales se han tomado con ayuda de un analizador lógico. Los datos recogidos por el analizador han sido posteriormente procesados usando Matlab.

El modulador resulta estable al conectarle la alimentación, esto es, sin realizar ningún ajuste. Después, se han ajustado las frecuencias resonantes del filtro mediante la programación de los condensadores de integración adecuados. Con este ajuste se compensa la desviación de los coeficientes de la arquitectura, producida como consecuencia del proceso de fabricación, así como los errores de ganancia producidos según se describe en el capítulo 4. En estas condiciones se han tomado las medidas que se describen a continuación.

No se han incluido en este capítulo las caracterizaciones individuales del cuantificador y cada uno de los convertidores D/A a pesar de que se han descrito las opciones de test disponibles. En realidad la validación de los circuitos empleados no es objeto de esta tesis doctoral.

9.4.1 Relación señal-ruido y rango dinámico.

Se han podido obtener diversas medidas de la señal de salida en diferentes condiciones.

La figura 9.6 muestra el espectro de la señal de salida para una entrada sinusoidal de -10dB de amplitud (respecto al valor de plena escala del cuantificador). La frecuencia de la señal de entrada se ha situado en torno a los 2MHz. Se observa que la resolución está limitada por el ruido de cuantificación y no por el ruido térmico, tal y como se había especificado. La SNDR obtenida es 57.2dB, de donde se obtiene que el ENOB es 9.2 bits

La figura 9.7 muestra el espectro de la señal de salida para una entrada con dos tonos muy próximos entre sí. En ella aparecen los productos de intermodulación que se han podido medir, que, como se puede observar, no son simétricos.

Por último en la figura 9.8 se muestra el rango dinámico del sistema, medido con una señal sinusoidal situada en la mitad de la banda de paso. Se observa una SNR máxima de 62.5dB y una SNDR máxima de 61dB. El rango dinámico es de 67.5dB.

La muestra un resumen de todos los parámetros medidos

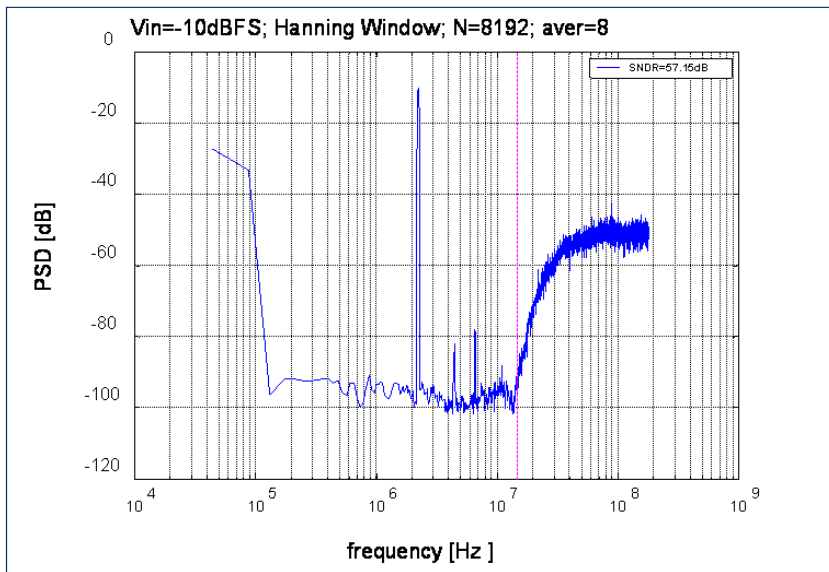


Figura 9.6 Medida del espectro para un tono

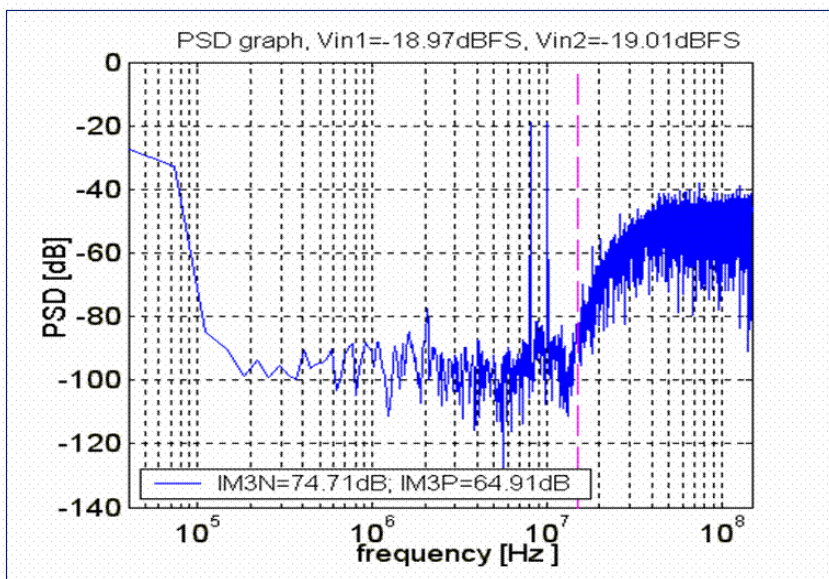


Figura 9.7 Medida del espectro para dos tonos

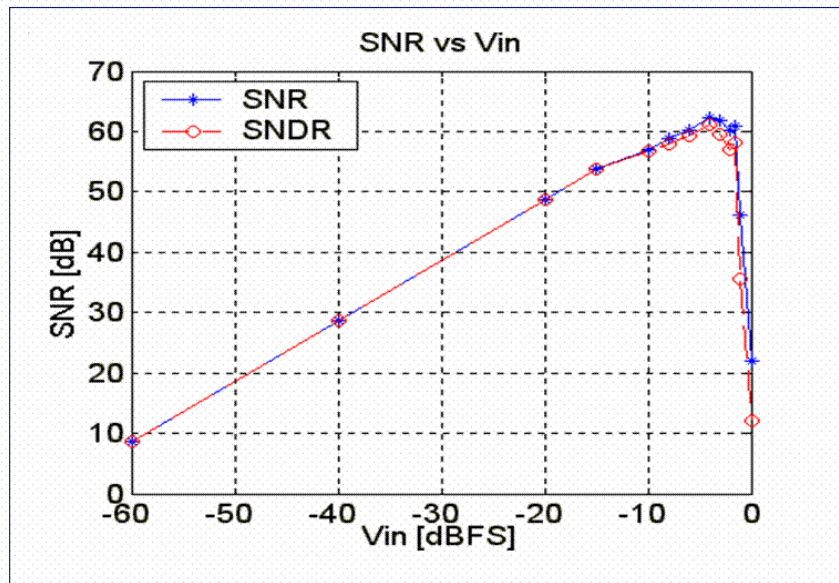


Figura 9.8 Medida del rango dinámico

Tabla 9.1 Resumen de medidas obtenidas

Ancho de banda del modulador	15MHz
Frecuencia de muestreo	300MHz
Rango dinámico	67.5dB
SNR máxima	62.5dB
SNDR máxima	61dB
Consumo de potencia (sección analógica / sección digital)	65mW / 5mW
Tecnología	1.5V 0.13µm CMOS

9.4.2 Sensibilidad a la variación de coeficientes

Se han tomado medidas de la estabilidad del modulador frente a la variación del coeficiente f_{be} .

Para estas medidas se ha anulado la señal de entrada al modulador. Debido al ruido térmico presente en el circuito, el modulador presenta una señal de salida que

varía entre dos niveles de cuantificación (o eventualmente alguno más), pero que en media es cero. Se ha considerado que el modulador es estable mientras no aparezcan ciclos límite en el espectro de la señal de salida, es decir, mientras la señal de salida no oscile a determinadas frecuencias. Con ayuda de Matlab se ha calculado el rango dinámico máximo esperable del modulador como el cociente dado por la potencia de un tono de amplitud igual al fondo de escala del cuantificador entre la potencia en banda del espectro medido (todo ruido térmico más ruido de cuantificación).

En la figura 9.9 se muestran las medidas obtenidas (traza gris) junto a los valores obtenidos por simulación (traza negra). Para la simulación se ha usado un modelo completamente ideal, sin señal de entrada y una pequeña señal de ruido aleatoria (de distribución uniforme entre $\pm 1/15$) añadida a la entrada del cuantificador. Los valores de rango dinámico se han obtenido de igual modo que los medidos, a partir del espectro de la señal de salida.

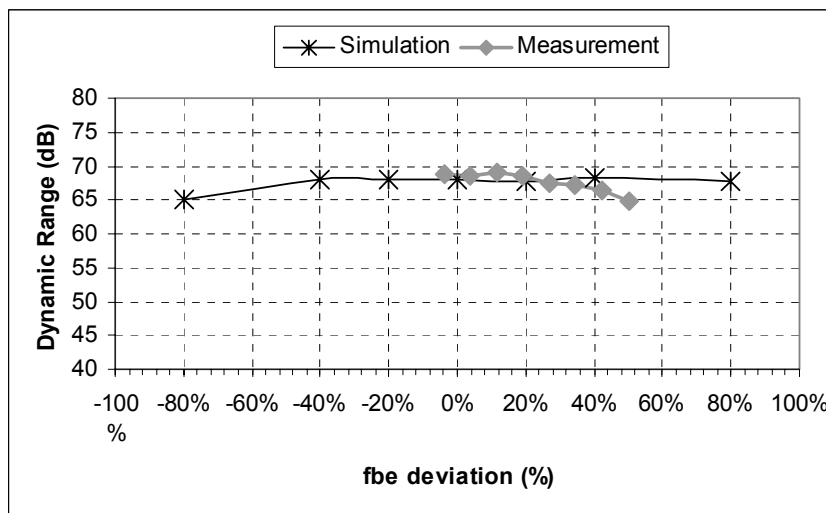


Figura 9.9 Medida de rango dinámico frente a la variación de *fbe*.

9.4.3 Sensibilidad al retardo de bucle en exceso

También se ha medido la sensibilidad del modulador al retardo de bucle en exceso. Las medidas se han realizado en las mismas condiciones que las realizadas para la sensibilidad frente al coeficiente *fbe*, es decir sin señal de entrada.

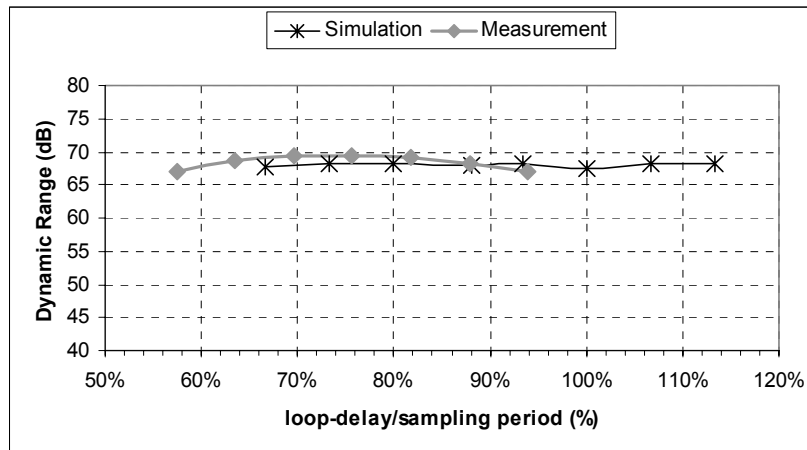


Figura 9.10 Medida de rango dinámico frente a la variación del retardo de bucle en exceso.

Las medidas obtenidas se han representado en la figura 9.10 junto a los valores obtenidos por simulación en las mismas condiciones. Se observa que el modulador se hace inestable un poco antes de lo esperado. Aún así es capaz de mantener la estabilidad y la resolución para un amplio margen de variación del retardo de bucle en exceso.

9.4.4 Sensibilidad al jitter del reloj

Este conjunto de medidas se ha tomado para contrastar el análisis y modelado realizado en el capítulo 6.

Se ha usado un transformador y una fuente de tensión variable para añadir, de forma controlada, una cantidad de ruido de fase al reloj del sistema. Con ayuda de un analizador de jitter y un analizador de espectros se ha medido la cantidad de jitter que se añade al reloj.

Para las medidas, se ha anulado la señal de entrada del modulador. De esta forma el modulador se encuentra en las condiciones descritas en el capítulo 6, esto es, el ruido inducido por el jitter del reloj en la señal de salida es únicamente debido a la arquitectura del modulador. Debido al ruido térmico presente en el circuito, el modulador presenta una señal de salida que varía entre dos niveles de cuantificación (o eventualmente alguno más), pero que en media es cero. Con ayuda de Matlab se ha calculado el rango dinámico máximo esperable del modulador como el cociente de la potencia de un tono de amplitud igual al fondo de escala del cuantificador entre la

potencia en banda del espectro medido (todo ruido térmico más ruido de cuantificación).

El resultado de efectuar estas medidas para varios relojes se muestra en la figura 9.11 (traza rosa). En la misma figura se han incluido otras dos curvas. La primera de ellas es una curva obtenida por simulación (traza azul). El modelo empleado es el modelo de simulación acelerada descrito en el capítulo 6, en donde la entrada se ha anulado y se ha añadido una pequeña señal de ruido aleatoria (de distribución uniforme entre $\pm 1/15$) a la entrada del cuantificador. De la señal de salida se ha calculado el rango dinámico esperado en la misma forma en que se ha hecho para las medidas. La otra curva incluida (traza negra) corresponde al cálculo del límite teórico de rango dinámico que se puede obtener al muestrear a 300MHz una señal sinusoidal de 15MHz de ancho de banda y amplitud el valor de plena escala del cuantificador. Esta curva se incluye como referencia. Un modulador con una entrada de esas características (máxima amplitud y máxima frecuencia) no puede situarse por encima de esta curva por imposibilidad física. El mismo modulador sin señal de entrada debería situarse en torno al límite teórico.

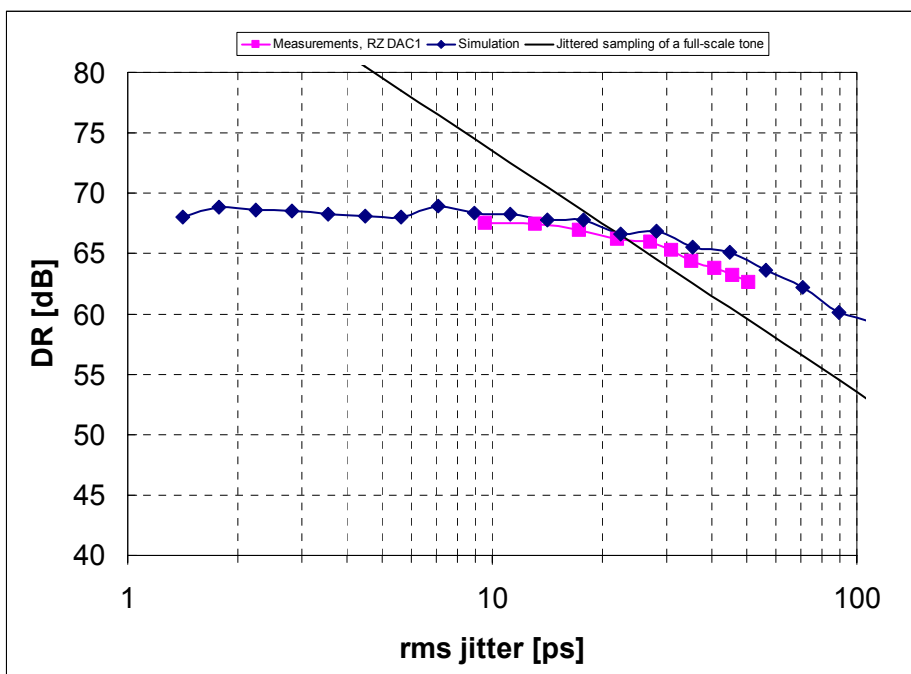


Figura 9.11 Medida de la sensibilidad al jitter del reloj.

Se observa que las curvas simulada y medida se corresponden bastante bien, con diferencias de 1 a 2dB, y se encuentran situadas a muy corta distancia del límite teórico. Ambas curvas coinciden en que el rango dinámico disminuye alrededor de 3dB en torno a 30ps de jitter.

Capítulo 10

Conclusiones

En este último capítulo se recogen los resultados y aportaciones más importantes de esta tesis doctoral, así como las posibles líneas de continuación del trabajo realizado.

Los resultados y conclusiones se han dividido en tres grandes grupos, los relativos al modelado de los diferentes efectos que ocurren en un modulador Sigma-Delta paso-bajo de tiempo continuo y de baja relación de sobremuestreo, los relativos a la metodología de diseño propuesta, y los relativos al ejemplo de aplicación desarrollado

Los resultados relativos al **análisis y modelado** de los efectos que ocurren en un modulador Sigma-Delta paso-bajo de tiempo continuo y baja relación de sobremuestreo son los siguientes:

- Se han analizado los diferentes efectos atendiendo a una clasificación por el tipo de problema matemático que representa su estudio. De esta forma se han analizado los efectos lineales, los no lineales y, por último el ruido circuital.
- Dentro de los **efectos lineales** se ha analizado la influencia de usar elementos activos con ancho de banda finito y ganancia finita para la etapa de filtrado del modulador Sigma-Delta. El análisis se ha particularizado para dos casos concretos, el uso de amplificadores operacionales y el uso de transconductancias.
- El análisis anterior se ha completado incluyendo la influencia de capacidades parásitas. Estas capacidades aparecen como consecuencia del

proceso tecnológico usado en la fabricación del circuito integrado. La conclusión del análisis es que la velocidad del modulador se ve limitada y aparecen errores de ganancia en las etapas de integración. Algunos nodos del circuito pueden ser especialmente sensibles al efecto de tener un ancho de banda finito, agravado por la aparición de capacidades parásitas. El propósito del análisis deber ser obtener una especificación de los elementos activos que integran la etapa de filtrado y, en este sentido se han propuesto algunas reglas simplificadas de diseño.

- Se ha proporcionado un modelo de simulación comportamental que sirve para analizar la influencia de las capacidades parásitas y ancho de banda finito en el funcionamiento de un modulador Sigma-Delta de tiempo continuo. El modelo sólo es válido si se considera que la etapa de filtrado del modulador está compuesta de varios integradores conectados en cascada.
- El retardo de bucle en exceso se ha analizado como el otro efecto lineal que influye en la resolución y estabilidad del modulador Sigma-Delta en tiempo continuo. El análisis se ha llevado a cabo desde dos puntos de vista distintos. Por un lado se ha estudiado el lugar de las raíces de un sistema lineal de tiempo discreto. Este sistema se obtiene aplicando la transformada de la respuesta invariante al impulso sobre el modelo lineal del modulador Sigma-Delta de tiempo continuo en bucle abierto. El otro análisis de ha realizado estudiando directamente el margen de fase del modelo lineal del modulador Sigma-Delta de tiempo continuo en bucle abierto.
- Como consecuencia de los dos análisis realizados se han derivado dos modelos de simulación comportamental que sirven para investigar el efecto del retardo de bucle en exceso sobre el funcionamiento del un modulador Sigma-Delta de tiempo continuo. También se han discutido las distintas técnicas de compensación usadas hasta el momento.
- Dentro de los **efectos no lineales** se ha analizado la distorsión que es generada en los distintos bloques de un modulador Sigma-Delta en tiempo

continuo. Se ha dividido el análisis en dos grandes grupos, según si la distorsión es generada en la etapa de filtrado, o si es generada en los elementos de conversión D/A y, eventualmente en el cuantificador.

- El análisis de la distorsión generada en la etapa de filtrado se ha particularizado para dos casos, la generada por amplificadores operacionales, y la generada por transconductancias. Este análisis está ligado a la tecnología de fabricación, por lo que constituye únicamente un ejemplo. No obstante, el modelo de simulación comportamental desarrollado es extensible a otras tecnologías de fabricación.
- El análisis de la distorsión generada por los elementos de conversión D/A se ha llevado a cabo de igual forma que para el caso de los moduladores Sigma-Delta en tiempo discreto [Her98]. El análisis y el modelo desarrollado únicamente sirven para determinar la necesidad de usar o no un algoritmo de corrección.
- El análisis del mecanismo de producción de **ruido** se ha dividido en dos grupos, atendiendo a la fuente de producción, ruido térmico y ruido inducido por la incertidumbre del instante de muestreo. El análisis de la influencia de ruido térmico en un modulador Sigma-Delta de tiempo continuo se ha llevado a cabo de igual forma que se realiza en otros circuitos analógicos.
- El análisis del ruido inducido por la incertidumbre en el instante del muestreo se ha simplificado y aplicado al diseño de un modulador Sigma-Delta de tiempo continuo con sensibilidad reducida a esta incertidumbre.
- Como primera consecuencia del análisis anterior se ha obtenido un modelo de simulación comportamental que reduce en 7 veces el tiempo de simulación en Simulink [Her04].
- Como segunda consecuencia del análisis, se ha obtenido una figura de mérito que permite comparar la sensibilidad de varios moduladores a la incertidumbre en el instante de muestreo [Her04], [Pat04b]. Esta figura de

mérito determina que esta sensibilidad decrece en un modulador Sigma-Delta de tiempo continuo que tiene parte de su retardo de bucle en exceso sin compensar.

Los resultados relativos a la **metodología de diseño** propuesta para moduladores Sigma-Delta paso-bajo de tiempo continuo y baja relación de sobremuestreo son los siguientes:

- Se ha propuesto una metodología de diseño estructurada en cinco fases. Esta metodología es aplicable a moduladores Sigma-Delta de tiempo continuo y baja relación de sobremuestreo. Es una metodología Top-Down que finaliza con la especificación de los bloques del modulador, esto es, no incluye el diseño de la electrónica necesaria.
- Se han propuesto algunos algoritmos para la implementación de las fases centrales de la metodología. Básicamente están planteados como problemas de optimización.
- Para la evaluación de la metodología de diseño en sí misma se ha desarrollado una herramienta software que usa una simplificación de los algoritmos propuestos.
- La herramienta, denominada, ANATEST, cubre solamente las fases centrales de la metodología. Está basada en el uso de funciones de transferencia, transformadas y figuras de mérito para analizar la estabilidad del modulador, su sensibilidad a los efectos lineales descritos en los capítulos anteriores y su sensibilidad a la incertidumbre del instante de muestreo, sin necesidad de realizar una simulación temporal. Para ello usa los modelos desarrollados en la primera parte de la tesis doctoral. De esta forma puede explorar un conjunto amplio de soluciones y estimar la solución óptima de forma rápida. La verificación final del modulador obtenido, en cualquier caso, es realizada por simulación temporal.
- La metodología se ha validado con éxito mediante el uso de la herramienta ANATEST en un caso práctico. Se han seguido las cinco fases propuestas

para el diseño de un modulador Sigma-Delta de tiempo continuo de 11 bits de rango dinámico sobre un ancho de banda de 15MHz [Gia03a],[Gia03b], [Pat04b]. El modulador se ha integrado en un proceso CMOS de 0.13 μ m puramente digital y consume 70mW de una fuente de 1.5V a una frecuencia de reloj de 300MHz. La etapa de filtrado es de cuarto orden y el cuantificador tiene una resolución de 4 bits. El prototipo obtenido es estable para un amplio rango de retardos en el bucle, y un amplio rango de dispersión de los coeficientes de la arquitectura. Además su sensibilidad a la incertidumbre en el instante de muestreo cumple la estimación realizada con el modelo de simulación acelerada desarrollado en la primera parte de la tesis.

Los resultados relativos al **ejemplo de aplicación desarrollado** son los siguientes:

- En el ejemplo de aplicación se ha desarrollado un modulador Sigma-Delta de tiempo continuo que resulta competitivo en área y consumo de potencia para aplicaciones de alta velocidad [Gia03b], [Pat04b]
- Esta circunstancia se ha debido a la confluencia de dos factores: la metodología de diseño aplicada, que ha posibilitado obtener una garantía de estabilidad, y las técnicas de diseño de circuitos submicrónicos de bajo consumo de potencia y baja tensión de alimentación, en los que Infineon Technologies tiene amplia experiencia, y donde las aportaciones descritas en [Gia03a] han sido esenciales.

10.1 Resumen de conclusiones

Las conclusiones obtenidas a lo largo del desarrollo de esta tesis doctoral se pueden resumir como sigue:

- Como conclusión del análisis de efectos lineales se ha obtenido que el lugar de las raíces discreto es condición suficiente pero no necesaria para determinar la estabilidad de un modulador Sigma-Delta en tiempo

continuo, y que el margen de fase analógico sirve como figura de mérito para seleccionar el modulador con mayor probabilidad de ser estable de entre aquellos que tienen similar lugar de las raíces discreto. Esta conclusión es válida para relaciones de sobremuestreo bajas y es usada en la metodología de diseño que se propone en el capítulo 7.

- La conclusión del análisis de efectos no lineales es que la influencia de la distorsión en la salida del modulador está fuertemente ligado a la arquitectura de implementación de la etapa de filtrado del modulador. En una arquitectura de tipo MP (véase 7.2.4) la etapa más influyente no tiene porqué ser el primer integrador, como ocurre en las de tipo MR.
- La conclusión obtenida del análisis de ruido es que hay dos mecanismos de producción de ruido a la salida del modulador como consecuencia de la incertidumbre en el instante de muestreo. Un mecanismo depende la señal de entrada, y el otro mecanismo tiene que ver con la actividad del modulador generada únicamente por el ruido térmico del circuito [Her04]. Aprovechando el segundo mecanismo se puede obtener un modulador con sensibilidad reducida al ruido inducido por la señal de reloj
- La metodología de diseño propuesta en el capítulo 7 sirve para obtener un modulador Sigma-Delta en tiempo continuo, robusto frente a las variaciones de proceso en términos de estabilidad, y óptimo en términos de resolución frente a:
 - sensibilidad a la incertidumbre en el instante de muestreo
 - sensibilidad al retardo de bucle en exceso
 - consumo de potencia

10.2 Resumen de aportaciones originales

Las aportaciones originales de esta tesis doctoral se pueden resumir como sigue:

- Contribuciones al modelado de moduladores sigma-delta en tiempo continuo de baja relación de sobremuestreo:
 - El modelo de simulación comportamental descrito en la sección 4.1.3. Es un modelo del efecto que produce en el funcionamiento de un modulador sigma-delta en tiempo continuo el ancho de banda finito y las capacidades parásitas de los elementos activos del circuito.
 - El modelo de simulación acelerada descrito en la sección 6.2.3. Es un modelo parcial del ruido inducido por la incertidumbre del instante de muestreo.
- Contribuciones al análisis de moduladores sigma-delta en tiempo continuo de baja relación de sobremuestreo:
 - El uso del margen de fase del modulador en bucle abierto como figura de mérito del margen de estabilidad.
 - El análisis del mecanismo de producción de ruido a consecuencia de la incertidumbre del instante de muestreo
- Contribuciones al diseño de moduladores sigma-delta en tiempo continuo de baja relación de sobremuestreo:
 - La metodología de diseño propuesta en el capítulo 7
 - La herramienta descrita en la sección 7.4

10.3 Líneas de trabajo futuro

En cuanto al análisis y modelado de los moduladores Sigma-Delta de tiempo continuo, parece interesante investigar nuevas arquitecturas para la etapa de filtrado. En lugar de usar integradores conectados en cascada pueden analizarse los efectos lineales y no lineales aquí investigados sobre otras técnicas de filtrado.

En cuanto al análisis de estabilidad de los moduladores Sigma-Delta, no estudiado con rigor y profundidad en esta tesis, queda pendiente la contrastación de

los resultados que ofrece la metodología de diseño propuesta con los desarrollos teóricos existentes sobre sistemas no lineales, como los descritos en [Gra97] y algunos trabajos posteriores.

En cuanto a la metodología de diseño propuesta, una clara línea de actuación futura es ampliar la herramienta desarrollada para cubrir en su totalidad todos los algoritmos propuestos. Sería interesante contrastar el resultado de esta metodología de optimización con una metodología de búsqueda exhaustiva dentro del mapa de soluciones.

Referencias

- [Ada97a] R.W. Adams y R. Schreier. "Stability theory for $\Delta\Sigma$ modulators". En S.R. Norsworthy, R. Schreier, y G.C. Temes, editores, "*Delta-Sigma Data Converters: Theory, Design, and Simulation*", capítulo 4. IEEE Press, New York, 1997
- [Ada97b] R.W. Adams. "The design of high-order single-bit $\Delta\Sigma$ ADCs". En S.R. Norsworthy, R. Schreier, y G.C. Temes, editores, "*Delta-Sigma Data Converters: Theory, Design, and Simulation*", capítulo 5. IEEE Press, New York, 1997
- [Ard87] S.H. Ardalan y J.J. Paulos. "An analysis of non-linear behavior in delta-sigma modulators". *IEEE Trans. Circ. Syst.*, pp 593-603, Jun 1987
- [Bai95] R.T. Baird y T.S. Fiez. "Linearity enhancement of multibit $\Sigma\Delta$ A/D and D/A converters using data weighted averaging", *IEEE T. Circuits II*, pp.753-762, Dic 1995
- [Ben97] P. Benabes, M. Keramat y R. Kielbasa. "A methodology for designing continuous-time sigma-delta modulators". En *Proc. European Design Test Conf.*, pp 46-50, 1997
- [Ben00] P. Benabes, M. Keramat y R. Kielbasa. "Synthesis and analysis of sigma-delta modulators employing continuous-time filters". *Analog Integr. Circ. S.*, pp 141-152, May 2000
- [Ber04] J.E. Bertolín "Desarrollo de una herramienta de diseño y simulación de moduladores sigma-delta en tiempo continuo" Proyecto Fin de Carrera, Escuela Politécnica Superior, Universidad Carlos III de Madrid, 2004
- [Bos88] B.E. Boser, B. A. Wooley. "The design of sigma-delta modulation analog-to-digital converters" *IEEE J. solid-State Circ.*, pp 1298-1306, Dic 1988
- [Bre01] L. Breems y J.H. Huising. "*Continuous-Time Sigma-Delta Modulation for A/D Conversion in Radio Receivers*", Kluwer Academic Publishers, 2001.
- [Bro90] J.E.C. Brown, M. alexander y D.F. Bowers. "Mixed-Mode simulation of a continuous-time $\Sigma\Delta$ ADC". En *Proc. Int. Symp. Circ. Syst.*, volumen 3, pp 1915-1918, 1990

- [BSI99] Department of Electrical Engineering and Computer Sciences of University of California. "BSIM3V3.3 User's Manual". Berkley 1999. <http://www-device.eecs.berkeley.edu/~bsim3/>
- [Can85] J.C. Candy. "A use of double integration in sigma-delta modulation". *IEEE Trans. Communications*, pp. 249-258, Mar 1985
- [Car97] R.L. Carley, R. Schreier y G.C. Temes. "Delta-Sigma ADCs with Multibit internal Converters". En S.R. Norsworthy, R. Schreier, y G.C. Temes, editores, "Delta-Sigma Data Converters: Theory, Design, and Simulation", capítulo 8. IEEE Press, New York, 1997
- [Cha90] K.C.-H. Chao, S. Nadeem, W.L. Lee y C.G. Sodini. "A higher order topology for interpolative modulators for oversampled A/D converters". *IEEE Trans. Circ. Syst.*, pp 309-318, Mar 1990
- [Che98] J. Cherry y M. Snelgrove. "Approaches to simulating continuous-time delta-sigma modulators employing continuous-time filters". En *Proc. Int. Symp. Circ. Syst.*, pp 587-590, 1998
- [Che00] J.A. Cherry y W.M. Snelgrove. "Continuous-time delta-sigma modulators for high-speed A/D conversion: theory, practice, and fundamental performance limits". Kluwer Academic Publishers, Massachusetts, 2000
- [Cla04] M. Clara, A. Wiesbauer y W. Klatzer. "Nonlinear distortion in current-steering D/A-converters due to asymmetrical switching errors". En *Proc. Int. Symp. Circ. Syst.*, volumen 1, pp 285-288, 2004
- [Cut60] C.C. Cutler. "Transmission systems employing quantization" U.S. Patent no. 2,972,962, 1960.
- [Der90] P. M. Derusso, R. J. Roy y C. M. Close. "State Variables for Engineers", Robert Krieger Publishing, Florida, 1990
- [Dör03a] L. Dörrer, A. Di Giandomenico y A. Wiesbauer. "A 10Bit, 4mW Continuous-Time Sigma-Delta ADC for UMTS in a 0.12 μm CMOS process", En *Proc. Int. Symp. Circ. Syst.*, volumen 1, pp 1057-1060, 2003
- [Dör03b] L. L. Dörrer, F. Kuttner, A. Wiesbauer, A. Di Giandomenico y T. Hartig. "A 10Bit, 3mW Continuous-Time Sigma-Delta ADC for UMTS in a 0.12 μm CMOS process". En *Proc. European Solid-State Circ.*, 2003

- [Fran02] K. Francken, M. Vogels, E. Martens y G. Gielen. "A behavioral simulation tool for continuous-time $\Sigma\Delta$ modulators". En *Proc. Int. Conf. Comp. Aided Design*, pp 234-239, 2002
- [Fru04] R. Frutos. "Optimización de la Distorsión Armónica en Moduladores Sigma-Delta de Tiempo Continuo. Desarrollo de una Herramienta Software" Proyecto Fin de Carrera, Escuela Politécnica Superior, Universidad Carlos III de Madrid, 2004
- [Ger02] F. Gerfers, Kian Min Soh, M. Ortmanns y Y. Manoli. "Figure of merit based design strategy for low-power continuous-time $\Sigma\Delta$ modulators". En *Proc. Int. Symp. Circ. Syst.*, volumen4, pp 233-236, 2002
- [Gia03a] A. Di Giandomenico, S. Paton, A. Wiesbauer, L. Hernández, T. Pötscher, L. Dörrer. "A 15 MHz Bandwidth Sigma-Delta ADC with 11 Bits of Resolution in 0.13 μ m CMOS" En *Proc. European Solid-State Circ.*, 2003
- [Gia03b] A. Di Giandomenico. "Design of a high bandwidth continuous-time sigma-delta modulator in deep submicron technology" PhD thesis, Poltecnico Bari, 2003
- [Gol89] D.E. Goldberg "Genetic algorithms in search, optimization, and machine learning" Addison-Weley, 1989
- [Gos88] A. Gossiau y A. Gottwald. "Optimization of a sigma-delta modulator by the use of a show ADC". En *Proc. Int. Symp. Circ. Syst.*, pp 2317-2320, 1988
- [Gos90] A. Gossiau y A. Gottwald. "Linearization of a sigma-delta modulator by a proper loop delay". En *Proc. Int. Symp. Circ. Syst.*, volumen 1, pp 364-367, 1990
- [Gra97] R.M. Gray. "Quantization Noise in $\Sigma\Delta$ A/D Converters". En S.R. Norsworthy, R. Schreier, y G.C. Temes, editores, "Delta-Sigma Data Converters: Theory, Design, and Simulation", capítulo 4. IEEE Press, New York, 1997
- [Gro89] D. W. J. Groeneveld, H. J. Schouwenaars, H. A. H. Termeer y C. A. A. Bastiaansen, "A Self-Calibration Technique for Monolithic High-Resolution D/A Converters", *IEEE J. Solid-State Circuits*, pp 1517-1522, Dec. 1989
- [Her98] L. Hernandez. "A model of mismatch-shaping D/A conversion for linearized DAC architectures" *IEEE T. Circuits I.*, pp 1068-1076, Oct 1998

- [Her04] L. Hernandez, A. Wiesbauer, S. Paton y A. Di Giandomenico, "Modelling and optimization of low pass continuous-time sigma-delta modulators for clock jitter noise reduction". En *Proc. Int. Symp. Circ. Syst.*, volumen 1, pp 1072-1075, 2004
- [Hof79] M.H. hoffelt, "On the stability of a 1-bit quantized feedback system". En *Proc. Int. Conf. Acous. Speech S.*, pp 844-848, 1979
- [Hor90] U. Horbach. " Design of a 20bit sigma-delta A/D converter for audio applications". En *Proc. Int. Symp. Circ. Syst.*, volumen 4, pp 2789-2792, 1990
- [Inv01] M. Inversi. "Design of a low-distortion, low-noise, continuous-time programmable balancing filter for analog echo-cancelling in ADSL application". Master thesis, Politecnico di Bari (Italy), 2001
- [Joh97] D.A. Johns y K. Martin. "Analog integrated Circuit Design" John Wiley & Sons, 1997
- [Kar92] J.E.Kardontchik. "Introduction to the design of Transconductor-Capacitor filters". Kluwer Academic Publishers 1992
- [Ken93] J.G. kenney y L.R. Carley. "Design of multibit noise-shaping data converters" *Analog Integr. Circ. S.*, pp 259-272, Mar 1993
- [Kla03] W. Klatzer. "Design of a Multi-Standard Current-Steering Digital-to-Analog Converter for xDSL in 0.13 μ m CMOS Technology", Diploma-thesis, Fachhochschule Technikum Kärnten, Villach June 2003
- [Luh00] L. Luh, J. Choma Jr., J. Drapper, "A 400 MHz 5th Order Continuous-Time Switched-Current Sigma Delta Modulator", En *Proc. European Solid-State Circ. Conf.*, 2000.
- [Mal03] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato y A. Baschiroto. "Behavioral modeling od switched-capacitor sigma-delta modulators". *IEEE T. Circuits I*, pp 352-364, Mar 2003
- [Med95] F. Medeiro, B. Pérez-Verdú, A. Rodríguez-Vázquez y J.L. Huertas. "A vertically integrated tool for automated design of $\Sigma\Delta$ modulators" *IEEE J. Solid-State Circ.*, pp 762-772, Jul 1995
- [Min03] B.M. Min, P. Kim, D. Boisvert y A. Aude, "A 69mW 10b 80MS/s pipelined CMOS ADC". En *Proc. Int. Symp. Solid-State Circ.*, pp 324-325, 2003

- [Miy02] D. Miyazaki, M. Furuta y S. Kawahito. "A16mW 30MSamples/s 10b Pipelined A/D Converter using a Pseudo-Differential Architecture". En *Proc. Int. Symp. Solid-State Circ.*, pp 174-175, 2002
- [Moo99] U.K. Moon, G.C. Temes y J. Steensgaard, "Digital techniques for improving the accuracy of data converters" *IEEE Commun. Mag.*, pp 136-143, Oct 1999
- [Mor03] L.E. Moreno, S. Garrido, C. Balaguer. "Ingeniería de Control. Modelado, análisis y control de sistemas" Ariel Ciencia, Barcelona, 2003
- [Moy03] M. Moyal, M. Gröpel, H. Werker, G. Mitteregger y J. Schambacher, "A 700/900mW/Channel CMOS Dual Analog Front End IC for VDSL with Integrated 11.5/14.5 dBm Line Drivers", En *Proc. Int. Symp. Solid-State Circ.*, pp 416-417, 2003
- [Oga95] K. Ogata. "Discrete-Time Control Systems", Prentice Hall, New Jersey, 1995
- [Ort 04] M. Ortmanns, F. Gerfers y Y. Manoli. "Compensation of finite gain-bandwidth induced errors in continuous-time sigma-delta modulators" *IEEE T. Circuits I*, pp1088-1099, Jun 2004
- [Pat04a] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Pötscher y M. Clara. "A 12 bit Continuous-Time $\Sigma\Delta$ Modulator with 400MHz Clock and Low Jitter Sensitivity in 0.13 μ m CMOS" En *Proc. Symp. VLSI Circ.*, pp 82-83, 2004
- [Pat04b] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Pötscher y M. Clara. "A 70mW 300MHz CMOS continuous-time $\Sigma\Delta$ ADC with 15MHz bandwidth and 11 bits of resolution". *IEEE J. Solid-State Circ.*, pp 1056-1063, Jul 2004
- [Rui03] J. Ruiz-Amaya, J.M. de la Rosa, F. Medeiro, R. del Rio, J. Moreno-Reina, B. Perez-Verdu, R. Tortosa, R. Romay y A. Rodriguez-Vazquez "SIMSIDES toolbox: an interactive tool for the behavioural simulation of discrete- and continuous-time $\Sigma\Delta$ modulators in the MATLAB/SIMULINK environment". En *Proc. XVIII Design Circ. Integr. Syst.*, pp 120-125, 2003
- [Sch96] R. Schreier y B. Zhang. "Delta-Sigma modulators employing continuous-time circuitry" *IEEE T. Circuits I*, pp 324-332, Abr 1996
- [Sch03] The delta-sigma toolbox, versión 6.0, Enero 2003

- [Sho94] O. Shoaie y m. Snelgrove. "Optimal (bandpass) continuous-time $\Sigma\Delta$ modulator". En *Proc. Int. Symp. Circ. Syst.*, volumen 5, pp 489-492, 1994
- [Thu91] A. M. Thurston, T.H. Pearce y M.J. Hawksford. "Bandpass implementation of the sigma-delta A-D conversion technique". En *Proc. Int. Conf. on A.-D. and D.-A. Conversion*, pp81-86, 1991
- [Vel03] R. van Veldhoven. "A Tri-Mode Continuous-Time $\Sigma\Delta$ Modulator with Switched-Capacitor FeedBack DAC for a GSM-EDGE/CDMA2000/UMTS Receiver", En *Proc. Int. Symp. Solid-State Circ.*, pp 60-61, 2003
- [Wal99] R.H. Walden. "Performance Trends for Analog-to-Digital Converters" *IEEE Commun. Mag.*, pp 96-101, Feb 1999
- [Wam98] P. Wambacq y W. Sansen. "Distortion analysis of analog integrated circuits". Kluwer Academic Publishers, Boston 1998
- [Wan01] X. Wan, P. Kiss, U. Moon, J. Steensgaard y G. C. Temes. " Digital estimation and correction of DAC errors in multibit $\Sigma\Delta$ ADCs" *Electron. Lett.*, pp 414-415, Mar 2001
- [Wes92] N.H.E. Weste, k. Eshraghian. "Principles of CMOS VLSI design: a systems perspective" Addison-Wesley, 1992
- [Yan03] S. Yan y E. Sánchez-Sinencio, "A Continuous-Time $\Sigma\Delta$ Modulator with 88dB Dynamic Range and 1.1MHz Signal Bandwidth", En *Proc. Int. Symp. Solid-State Circ.*, pp 62-63, 2003

Publicaciones

- **Publicaciones de la autora relacionadas con esta tesis**

- **En revista internacional**

- S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Pötscher y M. Clara. "A 70mW 300MHz CMOS continuous-time $\Sigma\Delta$ ADC with 15MHz bandwidth and 11 bits of resolution". *IEEE J. Solid-State Circ.*, pp 1056-1063, Jul 2004

- **En congresos internacionales**

- A. Di Giandomenico, S. Paton, A. Wiesbauer, L. Hernandez, T. Pötscher, L. Dörrer. "A 15 MHz Bandwidth Sigma-Delta ADC with 11 Bits Resolution in 0.13 μ m CMOS". En *Proc. European Solid-State Circ.*, 2003
- S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Pötscher, L. Dörrer. "A Low Pass Continuous-Time Sigma-Delta ADC with 15MHz Bandwidth and 67dB Dynamic Range implemented in 0.13 μ m CMOS" En *Proc. XVIII Design Circ. Integr. Syst.*, 2003
- S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Pötscher, M. Clara "A 12 bit Continuous-Time $\Sigma\Delta$ Modulator with 400MHz Clock and Low Jitter Sensitivity in 0.13 μ m CMOS" En *Proc. Symp. VLSI Circ.*, pp 82-83, 2004
- L. Hernandez, A. Wiesbauer, S. Paton, A. Di Giandomenico. "Modelling and optimization of low pass continuous-time sigma-delta modulators for clock jitter noise reduction" En *Proc. Int. Symp. Circ. Syst.*, 2004
- S. Paton, T. Pötscher, A. Di Giandomenico, K. Kolhaupt, L. hernandez, A. Wiesbauer, M. Clara, R. Frutos. "Linearity Enhancement Techniques in Low OSR, High Clock Rate Multi-bit Continuous-Time Sigma-Delta Modulators" En *Proc. Custom Integr. Circ. Conf.*, 2004

- **Otras publicaciones en las que ha colaborado la autora de esta tesis**

- **En revista internacional**

- L. Hernandez y S. Paton. "Noise shaping modulator with logarithmic response" *Electronics Letters*, vol. 35, pp 955-956, Junio 1999.

- **En congresos internacionales**

- S. Paton, E. Olias. "Instrumentation and measurement of the impact speed of a Charpy pendulum". En *Proc. XIII Design Circ. Integr. Syst.*, 1998
- L. Hernandez, S. Paton. "A continuous-time noise shaping modulator for logarithmic A/D conversion". En *Proc. Int. Symp. Circ. Syst.*, 1999
- L. Hernandez, S. Paton. "A Superregenerative Receiver for Phase and Frequency Modulated Carriers", En *Proc. Int. Symp. Circ. Syst.*, 2002
- L. Hernandez, S. Paton, "A simple Superregenerative Receiver-Demodulator Sensitive to Phase Modulated Carriers" En *Proc. XVII Design Circ. Integr. Syst.*, 2002
- L. Hernandez, S. Paton. "Continuous time sigma-delta modulators with transmission line resonators and improved jitter and excess loop delay performance" En *Proc. Int. Symp. Circ. Syst.*, 2003